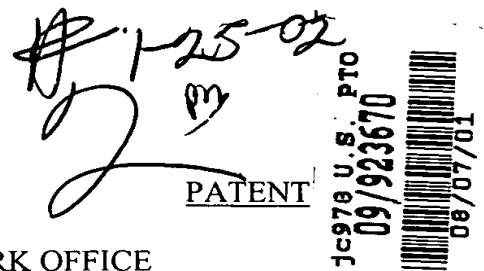


Attorney Docket No. 5649-877



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Hag-ju Cho et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: INTEGRATED CIRCUIT DEVICES HAVING DIELECTRIC REGIONS  
PROTECTED WITH MULTI-LAYER INSULATION STRUCTURES AND  
METHODS OF FABRICATING SAME

August 7, 2001

BOX PATENT APPLICATION

Commissioner for Patents

Washington, DC 20231

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

2000-46615, filed August 11, 2000.

Respectfully submitted,

Robert M. Meeks  
Registration No. 40,723



20792

PATENT TRADEMARK OFFICE

Our File No. 5649-877

"Express Mail" mailing label number EL 920739603 US

Date of Deposit: August 7, 2001

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to BOX PATENT APPLICATION, Commissioner for Patents, Box PATENT APPLICATION, Washington, DC 20231

Candi L. Riggs

Date of Signature: August 7, 2001

08/07/01

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

출 원 번 호 : 특허출원 2000년 제 46615 호  
Application Number

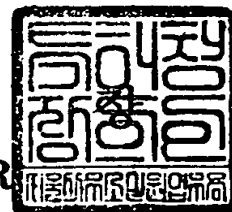
출원년월일 : 2000년 08월 11일  
Date of Application

출 원 인 : 삼성전자 주식회사  
Applicant(s)

2000 11 11

특 허 청

**COMMISSIONER**



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2000.08.11
【국제특허분류】	H01L
【발명의 명칭】	동일 물질로 이루어진 이중막을 포함하는 다중막으로 캡슐화된 캐패시터를 구비한 반도체 메모리 소자 및 그의 제조 방법
【발명의 영문명칭】	Semiconductor memory device having capacitor encapsulated by multi-layer which includes double layeres being made of same material and method of manufacturing thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	조학주
【성명의 영문표기】	CHO, Hag Ju
【주민등록번호】	690312-1108716
【우편번호】	151-051

【주소】	서울특별시 관악구 봉천1동 보라매 삼성아파트 103동 150호
【국적】	KR
【발명자】	
【성명의 국문표기】	안형근
【성명의 영문표기】	AN,Hyeong Geun
【주민등록번호】	721025-1025316
【우편번호】	480-071
【주소】	경기도 의정부시 신곡1동 동신아파트 201동 1406호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인) 대리인 이래호 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	34 면 34,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	42 항 1,453,000 원
【합계】	1,516,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

캐패시터의 유전막의 열화를 억제하기 위한 캡슐화막이 개시되며, 캡슐화막은 열처리되고 상대적으로 얇은 두께를 갖는 블록킹막과 블록킹막과 동일 물질로 이루어지는 보호막을 포함한다. 블록킹막은 보호막과 캐패시터 사이에 배치되어 보호막 형성 시 발생하는 불순물인 수소가 캐패시터로 확산하는 것을 차단하고 보호막은 캐패시터 형성 이후의 층간 절연막 형성 공정, 금속 배선 공정 또는 패시베이션 공정 중에 발생되어 층간 절연막, 금속 배선 또는 패시베이션막 내에 봉입되어 있던 수소가 캐패시터로 확산하는 것을 억제한다.

또한, 블록킹막과 보호막을 동일 물질로 구성하고 블록킹막을 상대적으로 얇게 형성함으로써, 캡슐화막 형성 공정이 간단해지며 캡슐화막 형성 이후의 공정도 간단해지는 반도체 메모리 소자의 제조 방법이 개시된다.

**【대표도】**

도 1a

**【색인어】**

수소 확산 차단, 유전막의 열화

**【명세서】****【발명의 명칭】**

동일 물질로 이루어진 이중막을 포함하는 다중막으로 캡슐화된 캐패시터를 구비한 반도체 메모리 소자 및 그의 제조 방법{Semiconductor memory device having capacitor encapsulated by multi-layer which includes double layeres being made of same materia and method of manufacturing thereof}

**【도면의 간단한 설명】**

도 1a는 본 발명에 따른 반도체 메모리 소자의 제 1 실시 예를 도시한 단면도이다.

도 1b는 본 발명에 따른 반도체 메모리 소자의 제 2 실시 예를 도시한 단면도이다.

도 2a 내지 도 2f는 도 1a의 반도체 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도들이다.

도 3a 내지 도 3d는 도 1b의 반도체 메모리 소자의 제조 방법을 설명하기 위한 공정 단면도들이다.

도 4a는 알루미늄 산화막의 두께 및 공정 진행에 따른 잔류 분극값의 변화를 보여주는 그래프이다.

도 4b는 티타늄 산화막과 알루미늄 산화막으로 구성된 캡슐화막을 채용한 반도체 메모리 소자의 유전막의 이력 곡선을 보여주는 그래프이다.

도 4c는 본 발명에 따른 2층의 알루미늄 산화막으로 구성된 캡슐화막을 채용한 반도체 메모리 소자의 유전막의 이력 곡선을 보여주는 그래프이다.

도 4d는 알루미늄 산화막을 단일층으로 형성한 경우와 본 발명에 따라 2층으로 형성한 경우의 공정 진행에 따른 잔류 분극값의 변화를 보여주는 그래프이다.

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 반도체 메모리 소자 및 그의 제조 방법에 관한 것으로, 상세하게는 캐패시터 유전막 열화를 억제하는 보호용 캡슐화막을 구비하는 반도체 메모리 소자 및 그의 제조 방법에 관한 것이다.
- <10> 반도체 메모리 소자, 예를 들면 DRAM(Dynamic Random Access Memory)은 캐패시터를 포함하고 있는데, 집적도의 증가와 더불어 DRAM 단위셀 면적이 감소하고 있다. 이에 따라 캐패시턴스의 감소가 불가피하게 되고 있으며, 캐패시턴스 감소 문제를 해결하기 위해 다양한 방법들이 개발되어왔다. 캐패시터를 입체적으로 형성하여 유효면적을 증가시키는 방법, 캐패시터의 상부 전극과 하부 전극 사이에 삽입되는 유전막을 박막화하는 방법 또는 유전막을 고유전율을 가지는 물질을 이용하여 형성하는 방법이 있다. 이중, 첫 번째 방법은 제조 공정이 복잡하고 그에 따른 제조 단가 상승의 문제가 있으며 두 번째 방법은 100 Å 이하일 경우에는 파울러-노드 하임 전류에 의해 소자의 신뢰성이 저하되는 문제가 있다. 따라서 최근 들어 반도체 메모리 소자의 캐패시터의 유전막으로 고유전율을 가지는 강유전체를 이용하는 연구가 주목을 받고 있다.
- <11> 강유전체는 강자성체와 유사하게 전기장 하에서의 잔류 분극값의 변화를 보이는 이력 특성을 나타내어 외부 전기장이 없는 상태에서도 잔류 분극(remnant polarization,

이하  $P_r$ 이라 함)이 존재한다. 잔류 분극은 현재 널리 사용되고 있는 FRAM (ferroelectric RAM)에서 읽기와 쓰기를 할 수 있게 하며, 또한 잔류 분극값이 0이 되는 상태의 외부 전기장을 항전계라 하는데 이는 소자의 동작 전압을 결정하는 중요한 파라미터이다.

<12> 그런데, 캐패시터의 유전막을 강유전체 물질로 형성할 경우 발생하는 문제 중의 하나는, 캐패시터 유전막으로 채용된 강유전체 물질의 유전 특성이 캐패시터 형성 공정 이후에 수행되는 반도체 메모리 소자의 집적 공정에 의해 열화된다는 것이다. 보다 상세히 살펴보면, 캐패시터 형성 이후에, ILD(Interlayer Dielectric) 공정, IMD(InterMetal Dielectric)공정 및 패시베이션 공정 등이 수행된다. 이러한 공정들을 수행하는 방법으로 화학기상증착방법(CVD;Chemical Vapour Deposition) 또는 플라즈마 화학기상증착방법(PE-CVD;Plasma Enhanced CVD) 등을 사용하며, 캐리어 가스로 수소 또는 수소를 함유한 실란가스( $\text{SiH}_4$ )등을 사용한다. 이런 캐리어 가스들은 환원가스로 작용하여 산소 원자를 포함한 강유전체 물질 예를 들면  $\text{Pb}(\text{ZrTi})\text{O}_3$  또는  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  등과 직접 반응하여 물( $\text{H}_2\text{O}$ )을 생성한다. 이러한 결과, 강유전체의 산소 결함이 발생되어, 강유전체의 전기적 특성이 열화된다.

<13> 이와 같은 문제를 해결하기 위해 캐패시터를 형성하고 단일막으로 구성된 절연막을 이용하여 캐패시터를 캡슐화하는 방법이 사용되고 있다. 예를 들면, 미국 특허 제 5,822,175호는 수소 확산에 의한 캐패시터 유전막의 열화문제를 해결하기 위해, 캐패시터를 실리콘 산화막, 도핑된 실리콘 질화막 또는 실리콘 질화막으로 캡슐화하는 방법을 개시하고 있다.

<14> 한편, 캐패시터 형성 공정에 있어서는 캐패시터 유전막을 형성하고 나서 캐패시터



유전막을 결정화하여 절연 특성을 강화하기 위해 600 내지 800℃ 사이의 온도 및 산소 분위기 하에서 열처리 공정이 수행된다.

<15> 그런데, 캐패시터 유전막을 보호하기 위한 캡슐화막의 형성 시 수소가 발생하며 이런 수소는 유전막으로 확산된다. 또한 후속 열처리 공정에 의해 수소 확산이 촉진되는 문제가 있다.

**【발명이 이루고자 하는 기술적 과제】**

<16> 따라서, 본 발명이 이루고자 하는 기술적 과제는, 전술한 문제를 해결할 수 있도록 캐패시터 유전막의 열화를 방지하는 캐패시터 보호막 형성 시 발생하는 불순물의 확산을 차단할 수 있는 얇은 블록킹막을 포함하는 반도체 메모리 소자를 제공하는 것이다.

<17> 본 발명이 이루고자 하는 기술적 과제는 캐패시터 보호막 형성 시 발생하는 불순물로부터 캐패시터를 보호할 수 있는 확산 방지막을 포함하는 반도체 메모리 소자를 단순화시켜 제조하는 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<18> 본 발명의 기술적 과제를 달성하기 위한 본 발명의 일측에 따른 반도체 메모리 소자는 하부 전극, 상부 전극 및 하부 전극과 상부 전극 사이에 삽입된 유전막을 포함하는 캐패시터 및 캐패시터를 감싸되 동일한 물질로 구성되며 금속 산화물로 이루어지는 다중 캡슐화막을 포함한다. 다중 캡슐화막은 열처리된 제 1 블록킹막과 열처리된 제 1 블록킹막 상에 형성되는 제 1 보호막을 포함하는 것으로, 제 1 블록킹막의 두께는 제 1 보호막의 형성 시 발생하는 수소의 확산을 차단할 두께로, 제 1 보호막의 두께의 10% 내지 50%일 수 있다.

- <19> 또한, 반도체 메모리 소자는 제 1 보호막 상면에 형성된 층간 절연막 및 동일 물질로 이루어지되 열처리된 제 2블록킹막과 제 2블록킹막 상에 형성된 제 2보호막을 포함하되 층간 절연막 상에 형성되는 제 2 캡슐화막을 더 포함한다. 제 2블록킹막은 제 2보호막의 형성 시 발생하는 수소의 확산을 차단할 두께를 가지며, 금속 산화막으로 이루어진다.
- <20> 본 발명의 기술적 과제를 달성하기 위한 본 발명의 일측에 따른 반도체 메모리 소자는, 하부 전극, 하부 전극의 상의 소정 부분에 형성된 유전막, 하부 전극 상에 형성되되 유전막의 측면과 접촉하는 블록킹용 스페이서와 블록킹용 스페이서의 측면에 형성되는 보호용 스페이서를 포함하는 스페이서층, 하부 전극 상에 형성되되 보호용 스페이서와 접촉하는 층간 절연막, 유전막의 상부에 형성된 상부 전극, 및 층간 절연막, 스페이서 층 및 상부 전극을 감싸되 동일한 물질로 구성되되 열처리된 제 1 블록킹막과 상기 열처리된 제 1 블록킹막 상에 형성되는 제 1 보호막을 포함하는 다중 캡슐화막을 포함한다. 여기서, 제 1 블록킹막은 제 1보호막의 형성 시 발생하는 수소의 확산을 차단할 두께를 가지며, 금속 산화막으로 구성된다.
- <21> 한편, 반도체 메모리 소자는 제 1 보호막 상면에 형성된 다른 층간 절연막 및 동일 물질로 이루어지되 열처리된 제 2 블록킹막과 제 2 블록킹막 상에 형성된 제 2 보호막을 포함하되 다른 층간 절연막 상에 형성되는 제 2 캡슐화막을 더 포함한다. 여기서, 제 2 블록킹막은 제 2보호막의 형성 시 발생하는 수소의 확산을 차단할 두께를 가지며, 금속 산화막으로 이루어진다.
- <22> 또한, 블록킹용 스페이서는 보호용 스페이서 형성 시 발생하는 수소의 확산을 차단할 두께를 가지며, 금속 산화막으로 이루어진다.

- <23> 전술한 금속 산화물은  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_5\text{O}_3$  및  $\text{CeO}_2$  로 구성된 군에서 선택된 어느 하나이다.
- <24> 한편, 제 1 블록킹막으로  $\text{Al}_2\text{O}_3$ 을 사용한 경우 제 1 블록킹막의 두께는 약  $50\text{\AA}$  이하, 바람직하게는 10 내지  $15\text{\AA}$  이며, 제 1 보호막의 두께는 약  $100\text{\AA}$  이다.
- <25> 본 발명의 다른 과제를 수행하기 위한 본 발명의 반도체 메모리 소자의 제조 방법은, 반도체 기판 상에 하부 전극, 상부 전극 및 하부 전극과 상부 전극 사이에 삽입된 유전막을 포함하는 캐패시터를 형성하는 단계 및 동일한 물질로 구성되되 열처리된 제 1 블록킹막과 제 1 블록킹막 상에 형성되는 제 1 보호막을 포함하는 다중 캡슐화막을 캐패시터를 감싸도록 형성하는 단계를 포함한다.
- <26> 다중 캡슐화막을 형성하기 위해서는 제 1 블록킹막이 상기 캐패시터를 감싸도록 형성하고, 제 1 블록킹막을 열처리한 뒤 열처리된 제 1 블록킹막 전면에서 제 1 보호막을 형성한다. 이후에 제 1 보호막도 열처리를 실시할 수 있다.
- <27> 제 1 보호막 형성 단계 후, 제 1 보호막 상면에 중간 절연막을 형성한다. 중간 절연막 상면에 동일한 물질로 구성되되 열처리된 제 2 블록킹막과 제 2 블록킹막 상에 형성되는 제 2 보호막을 포함하는 제 2 다중 캡슐화막을 형성한다. 제 2 다중 캡슐화막은 제 2 블록킹막을 중간절연막 상에 형성하고, 제 2 블록킹막을 열처리하고 열처리된 제 2 블록킹막 전면에서 제 2 보호막을 형성한다. 제 2 보호막 형성 단계 후, 제 2 보호막을 열처리할 수 있다.
- <28> 한편, 제 1 블록킹막 및 제 2 블록킹막 형성 단계에서, 제 1 블록킹막 및 제 2 블록킹막은 각각 제 1 보호막 및 제 2 보호막 형성 시 발생하는 수소의 확산을 차단할 두께를 가

지면 족하며, 제 1블록킹막 및 제 2블록킹막의 두께는 제 1보호막 및 제 2보호막의 두께의 10% 내지 50%이다.

- <29> 제 1블록킹막과 제 2블록킹막은 금속 산화막으로 이루어지고 이런 금속 산화막은  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_5\text{O}_3$  및  $\text{CeO}_2$  로 구성된 군에서 선택된 어느 하나이다.
- <30> 제 1 블록킹막 및 제 2블록킹막으로  $\text{Al}_2\text{O}_3$ 를 사용하는 경우는 이들의 두께는 약 50이하, 바람직하게는 제 1 블록킹막의 두께는 10 내지 15Å이며, 제 1보호막의 두께는 약 100Å이다.
- <31> 한편, 제 1 블록킹막, 제 1보호막, 제 2블록킹막 또는/및 제 2보호막은 원자층 증착 방법, 플라즈마 화학기상증착방법, 상압화학기상증착 방법 또는 저압화학기상증착방법에 의해 형성될 수 있다.
- <32> 한편, 캐패시터를 형성 할때, 반도체 기판 상에 하부 전극을 형성하고, 하부 전극의 소정 부분을 노출시키는 콘택홀을 구비한 층간 절연막을 반도체 기판 전면에서 형성한다. 다음, 콘택홀의 측벽에 동일 물질로 이루어지되 열처리된 블록킹용 스페이서를 포함하는 스페이서층을 형성하고 스페이서층에 의해 한정된 콘택홀 내부를 유전물로 채워 상기 유전막을 형성할 수 있다.
- <33> 이하 본 발명의 실시예들을 첨부된 도면을 참조로 설명한다.
- <34> 도 1a는 본 발명에 따른 반도체 메모리 소자의 구조에 대한 제 1 실시 예를 도시한 단면도이다.
- <35> 반도체 기판(10) 상에는 LOCOS(LOCAl Oxidation of Silicon)공정에 의하여 형성된 소자 분리막(12)이 형성되고 소자 분리막(12)에 의해 활성 영역이 정의되어 있다. 활성

영역 상에는 전계효과 트랜지스터(T)가 형성되어 있다. 한편 소자 분리산화막은 트렌치 소자 분리 방법에 의하여 형성된 것일 수도 있다. 전계효과 트랜지스터(T)는 게이트 전극(14), 소스 영역(16) 및 드레인 영역(18)으로 구성되며, 게이트 전극(14)과 반도체 기판(10) 사이에는 게이트 산화막(20)이 게재된다. 게이트 전극(14)의 측벽에는 질화막으로 이루어진 측벽 스페이서(22)가 형성되어 있다.

<36> 소자분리막(12) 및 전계효과 트랜지스터(T)가 형성된 반도체 기판(10)의 전면에는 인접하는 전계효과 트랜지스터(T)를 전기적으로 분리시키는 제 1 층간 절연막(24)이 형성되어 있다. 제 1 층간 절연막(24)은 그 내부에 랜딩플러그(26)를 구비한다. 한편, 제 1 층간 절연막(24) 상에는 제 2 층간 절연막(28)이 형성되어 있으며, 그 내부에는 비트라인 콘택 패드(30)가 형성되어 있다. 비트라인 콘택 패드(30)는 도시되지 않은 비트라인과 전기적으로 연결되고, 기판의 불순물 영역 예를 들면 드레인 영역(18)과 연결되는 랜딩플러그(26)에 연결된다. 또한, 제 1 층간 절연막(24)과 제 2 층간 절연막(28) 내에는 도전성 플러그(32)가 형성되어, 기판의 불순물 영역 예컨대 소스 영역(16)을 캐패시터에 연결한다. 반도체 메모리 소자의 캐패시터는 하부 전극(34), 유전막(36) 및 상부 전극(38)으로 구성된다. 하부 전극(34) 및 상부 전극(38)은 내열성 금속, 금속 산화막 또는 이들의 조합막으로 이루어지는 것으로, 예를 들면, Pt, Ir, Ru, Rh, Os 또는 Pd와 같은 물질로 이루어진다. 유전막은  $\text{SrTiO}_3$ ,  $\text{BaTiO}_3$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ , 및  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 로 이루어진 군에서 선택된 어느 하나 또는 이들의 조합막으로 이루어진다. 캐패시터는 도전성 플러그(32)에 직접 연결된다.

<37> 캐패시터의 상부 전극(38)의 일부를 제외한 전 표면 및 제 2 층간 절연막(28)의 전 표면에는 캐패시터를 보호하는 제 1 캡슐화막(40, 42)이 형성되어 있다. 제 1 캡슐화

(40, 42)막 상면에는 메탈 콘택(46)을 위한 개구부를 구비한 제 3 층간 절연막(44)이 형성되어 있다. 메탈 콘택이 형성된 결과물 전면에는 캐패시터를 보호하기 위한 제 2 캡슐화막(48, 50)이 형성되어 있다. 제 2 캡슐화막(48, 50)이 형성된 결과물 전면에는 패시베이션막(52)이 형성되어 있다.

<38> 제 1 캡슐화막(40, 42) 및 제 2 캡슐화막(48, 50)은 각각 캐패시터의 유전막(36)을 보호하기 위한 보호막(42, 50)과 보호막 형성시 발생하는 불순물 예컨대 수소의 확산을 방지하는 블록킹막(40, 48)을 적어도 포함한다. 보호막과 블록킹막 사이에 완충막을 게재할 수도 있다. 제 1 캡슐화막의 제 1블록킹막(40)은 제 1 캡슐화막의 제 1보호막(42)과 캐패시터 사이에 배치되고, 제 2 캡슐화막의 제 2블록킹막(48)은 제 2 캡슐화막의 제 2보호막(50)과 제 1 캡슐화막 상에 형성되는 제 3층간 절연막(44) 사이에 배치된다. 블록킹막과 보호막은 동일 물질로 구성되는 것으로 각 막의 기능에 따라 다른 이름을 부여하였다. 블록킹 막은 막이 형성된 후 소정의 열처리를 받은 상태이다. 보호막 형성 후 열처리는 선택적으로 수행될 수 있다.

<39> 제 1 블록킹막(40) 및 제 2블록킹막(48) 및 제 1 보호막(42) 및 제 2보호막(50)은 금속 산화막으로 이루어지며,  $Al_2O_3$ ,  $TiO_2$ ,  $ZrO_2$  및  $CeO_2$  중에서 선택된 어느 하나로 이루어짐이 바람직하다. 제 1 블록킹막(40) 및 제 2블록킹막(48) 및 제 1 보호막(42) 및 제 2보호막(50)은 원자층 증착 방법 또는 플라즈마화학기상증착방법 또는 상압 또는 저압 화학기상증착방법 등을 사용하여 형성된 것이다.

<40> 제 1 블록킹막(40) 및 제 2 블록킹막(48)이 제 1 보호막(42) 및 제 2 보호막(50)과 동일한 물질로 구성되고 상대적으로 얇은 두께를 가지면서, 제 1 보호막(42) 및 제 2 보호막(50) 형성 시 발생하는 수소의 확산을 충분히 차단하기 위해서는 제 1 블록킹막

(40) 및 제 2 블록킹막(48)의 두께와 후속 열처리 온도를 캐패시터의 형성 이전 또는 이후의 공정 조건 등을 고려하여 적절하게 선택해야 한다.

<41> 즉, 본 발명의 제 1 블록킹막(40) 및 제 2 블록킹막(48)의 두께는 대응하는 보호막들(42 및 50) 형성 시 생성되는 수소의 확산을 차단할 정도의 두께이면 족하며, 바람직하게는 보호막의 두께의 10 내지 50%이다. 제 1 블록킹막(40) 및 제 2블록킹막(48)의 두께 범위를 결정하기 위해서는 제 1 블록킹막(40) 및 제 2 블록킹막(48)으로 채용되는 막의 물질 조성 및 후속 열처리 온도를 고정시킨 상태에서 막의 두께에 따라 제 1 블록킹막(40) 및 제 2블록킹막(48)을 증착하고 열처리하여 유전막의 열화정도를 파악한 뒤, 열화가 일어나지 않는 두께 범위를 선택한다. 다른 한편으로는 제 1 블록킹막(40) 및 제 2 블록킹막(48)의 물질 조성 및 막의 두께를 고정시킨 상태에서 제 1블록킹막(40) 및 제 2 블록킹막(48)의 열처리 온도를 변화시키면서 유전막의 열화정도를 파악한 뒤, 열처리에 의해 분극값이 완전히 회복되는 최소 온도 범위를 결정한다. 이렇게 결정된 두께 범위와 온도 범위는 캐패시터 형성 이전 또는 형성 이후 공정과 관련하여 발생하는 제조 공정상의 문제점 및 그에 따른 소자의 특성 등을 고려하여 적절한 범위내에서 결정될 수 있다.

<42> 예를 들어 제 1블록킹막(40) 및 제 2 블록킹막(48) 및 제 1보호막(42) 및 제 2 보호막(50)으로  $Al_2O_3$ 를 사용하고, 제 1 및 제 2보호막(42, 50)을 약 100Å으로 형성한 경우 제 1 및 제 2블록킹막(40, 48)은 50Å이하, 바람직하게는 10 내지 15Å이며, 열처리 방식은 불순물인 수소의 확산을 최소화하기 위해 RTP(Rapid Thermal Process)를 채용하고 열처리 시의 온도 범위는 400 내지 600℃, 바람직하게는 약 550℃이다.

<43> 제 1 캡슐화막의 제 1 보호막(42)은 제 1 보호막(42) 상면에 형성된 제 3층간 절연

막(44) 형성 시 발생되어 층간 절연막(44)내에 봉입되어 있는 수소가 유전막(36)으로 확산하는 것을 방지한다. 그런데, 제 1 보호막(42) 형성시 발생하는 수소에 의해 유전막의 유전 특성이 열화되는 문제는 제 1 보호막(42)과 유전막(36) 사이에 배치되는 제 1 블록킹막(40)에 의해 해결된다.

<44> 제 2 캡슐화막(48, 50)의 제 2보호막(50)은 이후에 형성되는 패시베이션막(52) 내에 봉입된 수소가 제 3 층간 절연막(44)을 경유해 최종적으로 유전막에 도달하는 것을 방지한다. 제 1 캡슐화막의 제 1보호막(42)과 같이 제 2 보호막(50) 형성 시 수소가 발생된다. 만약, 제 3층간 절연막(44)과 패시베이션막(52) 사이에 제 2 캡슐화막의 블록킹막(48) 없이 보호막(50) 만을 형성한다면 제 2 캡슐화막의 보호막(50) 형성 시 발생하는 수소는 제 2 캡슐화막의 보호막(50), 제 3 층간 절연막(44), 제 1 캡슐화막의 보호막(48) 및 제 1블록킹막(42)을 통해 캐패시터로 확산될 수 있다. 그러나 본 발명에서는 제 2 보호막(50)과 캐패시터, 상세하게는 제 3 층간 절연막(44) 사이에 제 2 블록킹막(48)을 배치함으로써, 패시베이션막(52) 내에 봉입된 수소의 확산을 보다 철저하게 차단시킬 수 있다.

<45> 한편, 본 실시예에서는 하부 전극(34), 유전막(36) 및 상부 전극(38)의 폭을 모두 같게 형성하였으나, 하부 전극과 유전막의 폭을 같게 하되 상부 전극의 폭을 이들의 폭보다 작게 형성할 수도 있으며, 폭을 하부전극, 유전막 및 상부 전극 순으로 크게 형성할 수도 있다.

<46> 도 1b는 본 발명에 따른 반도체 메모리 소자의 구조에 대한 제 2 실시예의 단면도이다.

<47> 반도체 기판(210), 소자 분리막(212), 트랜지스터(214, 216, 218, 220 및 222), 제



1 층간 절연막(224), 랜딩 플러그(226), 제 2 층간 절연막(228), 비트 라인 콘택패드(230), 콘택 플러그 (232) 및 캐패시터의 하부 전극(234)은 도 1a에 도시된 반도체 기판(10), 소자 분리막(12), 트랜지스터(14, 16, 18, 20 및 22), 제 1 층간 절연막(24), 랜딩 플러그(26), 제 2 층간 절연막(28), 비트 라인 콘택패드(30), 콘택 플러그 (32) 및 캐패시터의 하부 전극(34)와 실질적으로 동일하다.

<48> 캐패시터의 하부 전극(234)의 상면 중간 부분에는 유전막(244)이 형성되어 있고, 제 3 층간 절연층(236)은 캐패시터의 하부 전극(234)의 일측 끝 부분에서 인접 하부 전극의 일측 끝 부분까지 신장한다. 제 3 층간 절연막(236)과 유전막(244)사이에는 이중 스페이서가 형성되어 있다. 이중 스페이서는 동일한 물질로 구성되되, 유전막(244)과 직접 접촉하는 블록킹용 스페이서(242)와 블록킹용 스페이서(242)와 제 3 층간 절연막(236) 사이에 배치되는 보호용 스페이서(240)를 포함한다. 블록킹용 스페이서(242)는 보호용 스페이서(240)의 형성 시 발생하는 불순물 예를 들면 수소가 유전막(244)으로 확산하는 것을 방지하며, 보호용 스페이서(240)는 제 3 층간 절연막(236)내에 봉입된 수소의 확산을 방지하는 역할을 한다. 한편, 블록킹용 스페이서(242)와 보호용 스페이서(240) 사이에 완충용 스페이서를 더 구비할 수 있으나, 스페이서라는 구조 상 이중 스페이서를 채용하는 것이 바람직하다.

<49> 유전막(244) 상부에는 캐패시터의 상부 전극(246)이 형성되어 있다. 본 실시예에서는 하부 전극(234), 유전막(244) 및 상부 전극(246) 순으로 폭이 크게 형성되었으나, 상부 전극과 하부 전극의 폭이 실질적으로 같고 유전막의 폭보다 크게 형성할 수도 있다.

<50> 상부 전극(246)의 표면 중간 부분에는 메탈 콘택(254)이 형성되어 있고, 제 1 캡슐

화막(248, 250)은 상부 전극(246)의 일측 끝 부분에서 인접 상부 전극의 일측 끝 부분까지 신장한다. 제 1 캡슐화막(248, 250)은 동일한 물질로 이루어지되, 캐패시터를 직접 접촉하며 둘러싸는 제 1 블록킹막(248)과 제 1 블록킹막(248) 상부에 형성되는 제 1 보호막(250)을 포함한다. 한편, 제 1 캡슐화막(248, 250)은 전술한 금속 산화물 중에서 이중 스페이서와 동일 물질 또는 다른 물질로 구성될 수 있다. 제 1 캡슐화막은 메탈 콘택(254)이 형성될 부분을 제외하고 제 4층간 절연층막(252)으로 덮혀 있다. 이중 스페이서의 제 1블록킹용 스페이서(242)와 유사하게, 제 1 캡슐화막의 제 1 블록킹막(248)은 제 1 보호막(250) 형성 시 발생하는 불순물 예를 들면 수소가 유전막(244)으로 확산하는 것을 방지하며, 제 1 보호막(250)은 제 4 층간 절연막(252) 내에 봉입된 수소의 확산을 방지하는 역할을 한다.

<51> 메탈 콘택(254)은 제 4 층간 절연막(252), 제 1 캡슐화막을 관통하여 상부 전극(246)을 노출시키는 개구부 내부 및 제 4 층간 절연막(252)의 표면 일부에 형성되어 있다. 메탈 콘택(254)이 형성된 결과물 전면에는 제 2 캡슐화막(256, 258)과 패시베이션막(260)이 순차적으로 형성되어 있다. 제 2 캡슐화막(256, 258)은 동일 물질로 구성되되, 제 4 층간절연막(252) 및 메탈 콘택(254)과 직접 접촉하는 제 2 블록킹막(256)과 제 2 블록킹막(256) 상부에 형성되는 제 2 보호막(258)을 포함한다. 또한 제 2 캡슐화막은 이중 스페이서(240, 242) 및/또는 제 1 캡슐화막(248, 250)과 동일하거나 다른 물질로 구성될 수 있다. 제 1 캡슐화막의 제 1 블록킹막(242)과 유사하게, 제 2 캡슐화막의 제 2 블록킹막(256)은 제 2 보호막(258) 형성 시 발생하는 불순물 예를 들면 수소가 제 4층간 절연막(252), 제 2캡슐화막(256, 258) 및 제 3층간 절연막(236)을 거쳐 유전막(244)으로 확산하는 것을 방지하며, 제 3 보호막(256)은 패시베이션막(260) 내에

봉입된 수소의 확산을 방지하는 역할을 한다.

<52> 이중 스페이서(240, 242), 제 1 캡슐화막(248, 250) 및 제 2 캡슐화막(256, 258)은 금속 산화막으로 이루어지며, 특히  $Al_2O_3$ ,  $TiO_2$ ,  $ZrO_2$  및  $CeO_2$  중에서 선택된 어느 하나로 이루어지고, 원자층 증착 방법, 플라즈마 화학기상증착방법, 상압 또는 저압화학기상 증착방법 등에 의해 증착되고 열처리된다. 이중스페이서의 블록킹용 스페이서(242), 제 1 캡슐화막의 블록킹막(248) 및 제 2 캡슐화막의 블록킹막(256)은 증착 후 유전막의 열화를 완전히 회복시키기 위해 열처리를 한 상태를 의미한다. 이중 스페이서의 보호용 스페이서(242), 제 1 캡슐화막의 보호막(250) 및 제 2 캡슐화막의 보호막(256)의 열처리는 선택적으로 실시될 수 있다. 열처리는 금속 열처리 방식이나 퍼니스를 이용한 열처리 방식을 채용할 수 있다. 한편, 제 1블록킹막(248)과 제 1보호막(250) 사이 또는 제 2 블록킹막(256)과 제 2 보호막(258) 사이에 완충막이 게재될 수도 있다.

<53> 제 1 캡슐화막의 보호막(250) 및 블록킹막(248), 제 2 캡슐화막의 보호막(258) 및 블록킹막(256), 보호용 스페이서(242) 및 블록킹용 스페이서(240)의 두께를 결정하기 위한 방법 및 이들의 열처리 온도를 결정하는 방법은 제 1 실시 예에서 설명한 것과 동일하다.

<54> 본 실시예에서는 도 1a의 실시예와 비교하면, 후속 공정(충간 절연막 형성 공정)시에 발생하는 수소의 확산을 방지하기 위한 보호용 스페이서(240)와 보호용 스페이서 형성 시 발생하는 수소의 확산을 차단하는 블록용 스페이서(242)를 유전막의 측면에 더 형성하여, 반도체 제조 공정 중에 발생하는 수소의 확산을 보다 효과적으로 차단할 수 있다.

<55> 이하 도 1a의 반도체 소자의 제조 방법을 도 2a 내지 도 2c를 참조로 설명한다.

<56> 도 2a를 참조하면, 반도체 기판(10) 상에 LOCOS 방법 또는 트렌치 형성 방법을 이용하여 소자 분리막(12)을 형성하여 활성 영역을 정의한 후, 활성 영역 상에 트랜지스터를 형성한다. 트랜지스터는 측벽 스페이서(22)를 가지며 게이트 절연막(20)이 게재된 게이트 전극(14), 소스 영역(16) 및 드레인 영역(18)을 구비한 전계효과트랜지스터일 수 있다.

<57> 다음, 제 1 층간 절연층(24)을 형성하고, 제 1 층간 절연층(24) 내에 트랜지스터의 드레인 영역(18)과 접촉하는 랜딩 플러그(26)를 형성한다. 이어서 제 1 층간 절연층(24) 상에 도전막을 형성하고 패터닝하여 비트라인 콘택 패드(30)를 형성한다. 비트라인 콘택 패드(30)가 형성된 결과물 전면에서 제 2 층간 절연막(24)을 형성한다. 다음, 도시되지 않았으나 비트라인 콘택 패드(30)와 접촉하는 비트라인을 층간 절연막(24) 상에 형성한다. 제 1 층간 절연막(24) 및 제 2 층간 절연막(28)을 사진 식각하여 트랜지스터의 소스 영역(16)을 노출시키는 콘택홀을 형성하고, 상기 콘택홀을 도전성 물질로 채워 콘택 플러그(32)를 형성한다. 도전성 물질은 폴리 실리콘을 사용하는 것이 바람직하며, 텅스텐, 탄탈륨, 루테튬, 이리듐, 오스뮴, 백금, 텅스텐실리사이드, 코발트 실리사이드, 텅스텐 질화물 또는 이들의 조합으로 이루어진 물질을 사용할 수 있다.

<58> 콘택 플러그(32)가 형성된 반도체 기판 전면을 예비 세정(precleaning)하며, 기판 전면에서 형성된 자연산화막을 제거하고 제 2 층간 절연층을 평탄화한다.

<59> 이후에 콘택 플러그(32)를 포함하는 제 2 층간 절연층(28) 전면에서 도전성막 예를 들면 내열성 금속막, 금속 산화물막 또는 이들의 조합막을 도포하여 하부 도전막을 형성한다. 하부 도전막 상에는 유전막을 형성한다. 유전막은  $TiO_2$ ,  $Al_2O_3$ ,  $BaTiO_3$ ,  $SrTiO_3$ ,

Bi

$4\text{Ti}_3\text{O}_{12}$ ,  $\text{PbTiO}_3$ ,  $\text{SiO}_2$ ,  $\text{SiN}$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  또는 이들의 조합막으로 형성될 수 있으나, 바람직하게는 PZT, BST와 같은 고유전율을 갖는 강유전체 막으로 형성하는 것이 바람직하다. 유전막 상면에는 도전성막 예를 들면 내열성 금속막, 금속 산화물막 또는 이들의 조합막을 도포하여 상부 도전막을 형성한다. 상부 도전막, 유전막 및 하부 도전막은 1회의 사진 식각 공정을 이용하여 패터닝되어, 상부 전극(38), 유전막(36) 및 하부 전극(34)으로 구성된 캐패시터를 완성한다.

<60> 한편, 먼저 상부 도전막을 포토레지스트 마스크를 이용하여 패터닝하여 상부 전극(38)을 형성한 다음, 상부 전극(38)의 폭보다 큰 크기를 갖는 다른 포토 레지스트 마스크를 이용하여 유전막(36) 및 하부 도전막을 패터닝함으로써, 유전막(36)과 하부 전극(34)의 폭이 동일하고 상부 전극(38)의 폭이 하부 전극(34)의 폭보다 작은 특징을 가지는 캐패시터(도시되지 않음)를 완성할 수 도 있다.

<61> 또한, 상부 도전막을 제 1 포토레지스트 마스크를 이용하여 패터닝하여 상부 전극(38)을 형성한 다음, 상부 전극(38)의 폭보다 큰 크기를 갖는 제 2 포토 레지스트 마스크를 이용하여 유전막을 패터닝한 뒤, 다시 유전막의 폭보다 큰 크기를 갖는 제 3 포토 레지스트 마스크를 이용하여 하부 도전막을 패터닝함으로써, 상부 전극, 유전막 및 하부 전극 순서대로 폭이 커지는 특징을 갖는 캐패시터(도시되지 않음)를 완성할 수 도 있다

<62> 도 2b에서, 캐패시터가 형성된 결과물 전면에 제 1캡슐화막(40, 42)을 형성한다. 제 1 캡슐화막(40, 42)은 후속 제 3층간 절연막(도 2c의 44 참조) 형성 공정이 수반하는 수소의 확산으로부터 캐패시터를 보호하기 위한 제 1 보호막(42)과 제 1보호막(42)과 캐패시터 사이에 배치되어 제 1 보호막(42) 형성 시 발생하는 불순물, 예를 들면 수소가

캐패시터의 유전막(36)으로 확산하는 것을 차단하는 제 1블록킹막(40)을 포함한다.

<63> 제 1 블록킹막(40)과 제 1 보호막(42)은 동일 물질로 구성되며 각각의 기능에 따라 다른 이름을 부여한 것이다. 제 1 블록킹막(40)과 제 1 보호막(42)은 금속 산화물로 이루어지며, 특히  $Al_2O_3$ ,  $TiO_2$ ,  $ZrO_2$ ,  $Ta_5O_3$ , 또는  $CeO_2$  로 이루어짐이 바람직하다. 또한, 제 1 블록킹막(40)과 제 1 보호막(42)은 원자층 증착 방법, 저압 또는 상압 화학 기상증착 방법 또는 플라즈마 화학기상 증착 방법 등을 사용하여 형성한다. 제 1 블록킹막은 전술한 방법에 의해 증착되고 열처리를 받은 것을 의미하며, 열처리 방식으로 급속 열처리 방식을 채택하는 것이 바람직하다. 제 1보호막은 전술한 방법에 의해 증착된 후 선택적으로 열처리를 받을 수 있다.

<64> 제 1 블록킹막(40)의 두께와 제 1블록킹막(40)의 열처리 온도는 제 1 블록킹막(40)으로 사용되는 물질과 관련하여 캐패시터 유전막(36)의 열화가 일어나지 않는 조건을 만족해야 한다. 즉, 제 1블록킹막(40)으로 사용되는 물질과 열처리 온도가 정해진 상태에서 제 1블록킹막(40)의 두께를 변화시키면서 유전막(36)의 열화 특성을 살펴본 후, 유전막의 열화가 발생되지 않은 두께 범위를 선택한다. 다른 한편으로 제 1 블록킹막으로 사용되는 물질과 그의 두께를 정한 상태에서 제 1 블록킹막(40)의 열처리 온도를 변화시키면서 유전막(36)의 분극값이 회복되는 온도 범위를 찾아낼 수 있다. 제 1 블록킹막(40)의 두께와 온도는 캐패시터 형성 이전 공정 또는 이후 공정과 관련하여 발생된 공정 상의 문제 및 그에 따른 반도체 메모리 소자의 성능에 영향을 미치지 않는 범위에서 적절하게 결정될 수 있다.

<65> 제 1 블록킹 막(40) 및 제 1 보호막(42)으로  $Al_2O_3$ 를 사용하는 경우를 살펴보면, 제 1 블록킹막(40)은 원자층 증착 방법을 이용하여 10 회를 증착하여 10 내지 15Å의 두

계를 가지며, 급속 열처리 방식을 이용하여 산소 분위기에서 400 내지 660℃에서 약 1분간 열처리된다. 열처리된 제 1 블록킹막(40) 상면에  $Al_2O_3$ 를 원자층 증착 방법을 이용하여 100회를 증착하여 80 내지 130Å의 두께를 가지는 제 1 보호막(42)을 형성한다. 제 1 보호막(42)은 선택적으로 산소분위기에서 400 내지 600℃에서 약 1분간 열처리된다. 여기서 제 1 블록킹막(40)의 두께는 제 1 보호막(42)의 두께에 의존하여 결정되는 것이 아니고 블록킹막의 물질로  $Al_2O_3$ 를 사용한 점 및 열처리 온도가 400 내지 600℃인 점을 고려하여 결정된 것이다. 제 1 블록킹막(40)의 열처리에 의해 제 1블록킹막(40)이 박막으로 형성되더라도 제 1 보호막(42) 형성 시 발생하는 수소를 차단하는 기능을 충분히 발휘한다.

<66> 도 2c에서, 제 1 캡슐화막이 형성된 결과물 전면에서 제 3 층간 절연막(44)을 형성한다. 제 3 층간 절연막(44)은 제 1 층간 절연막(24) 및 제 2 층간 절연막(28)과 같이, 실리콘 산화막, 실리콘 질화막, BSG막, BPSG막, TEOS 막, 오존-TEOS막, PE-TEOS막, USG막 또는 이들의 조합으로 구성된 막일 수 있다. 또한, 제 3 층간 절연막(44)은 제 1층간 절연막(24) 및 제 2 층간 절연막(28)과 같이 화학기상증착방법, 저압 또는 상압 화학기상증착방법, 플라즈마 화학기상증착방법 등과 같은 방법으로 형성될 수 있다.

<67> 예를 들어 제 3층간 절연막(44)을 화학기상증착방법을 사용하여 실리콘 산화막으로 형성할 경우에는, 실란 가스( $SiH_4$ )와 산소 가스가 반응가스로 사용된다. 그런데 실란 가스와 산소 가스의 반응 결과 수소가 부산물로 파생된다. 이런 수소는 제 3 층간 절연막(44)내에 봉입되어 있다가 이후의 열처리 과정에서 서서히 캐패시터의 유전막(36)쪽으로 확산하게 된다. 그러나 본 발명에서는 제 1 캡슐화막(40, 42)의 제 1 보호막(42)에 의해 이러한 수소 확산은 차단된다. 또한, 제 1 보호막(42) 하부에 형성된 제 1 블록킹

막(40)은 제 1 보호막(42) 형성시 발생하는 수소의 확산 뿐만 아니라 제 3 층간 절연막(44)내에 봉입되어 있던 수소의 확산도 차단한다.

<68> 그런데, 제 1 블록킹막(40)이 제 1 보호막(42)과 동일한 물질로 구성되므로, 제 1 블록킹막(40) 형성 공정의 복잡화는 초래되지 않는다. 따라서, 제 3 층간 절연막(44) 내에 봉입된 수소의 확산은 간단한 공정을 이용하여 제 1 블록킹막(40)에 의해 보다 효과적으로 차단된다. 또한, 본 발명의 제 1블록킹막으로 상당히 얇은 두께를 가지며 층간 절연막(44)과의 선택비가 좋은 물질을 사용할 경우에는, 제 1 캡슐화막 형성 이후에 셀 영역과 주변 영역을 분리시키기 위한 사진 식각 공정이 필요하지 않게 된다. 따라서 캐패시터 캡슐화막 형성 이후의 공정이 보다 단순해진다. 그리고 블록킹막으로 얇은 금속 산화막을 사용하므로 보호막 형성시 발생된 수소의 확산을 차단하기 위해 유전막의 열화를 보상하는 열처리 공정이 저온에서 단시간내에 이루어질 수 있으므로, 캐패시터의 제 1 캡슐화막 형성 이전에 형성된 반도체 소자, 특히 기판 영역과 접촉하는 매몰 콘택 플러그의 저항이 증가하지 않는 등 소자의 특성이 영향을 덜 받게 된다.

<69> 제 3 층간 절연막(44), 제 1 보호막(42) 및 제 1 블록킹막(40)은 통상의 방법으로 패터닝되어 캐패시터의 상부 전극(38)의 소정 부분을 노출시키는 콘택홀이 형성된다. 여기서 제 1 보호막(42)과 제 1 블록킹막(40)이 동일한 물질로 이루어지므로, 콘택홀 형성 공정이 단순하게 된다. 제 3 층간 절연막(44) 내의 콘택홀 내부 및 제 3층간 절연막(44)의 상면 소정 부분에 메탈 콘택(46)을 형성한다. 이후 회복 열처리 공정을 수행할 수도 있다.

<70> 다음, 패시베이션막(52)을 형성하기 이전에 메탈 콘택(46)이 형성된 반도체 기판 전면에 제 2캡슐화막(48, 50)을 형성한다. 제 2 캡슐화막은 제 2블록킹막(48)과 제 2 보



호막(50)으로 이루어져 있다. 제 2 캡슐화막은 이후의 패시베이션막(52) 형성 공정이 수반하는 수소의 확산으로부터 캐패시터를 보호하기 위한 제 2 보호막(50)과 제 2 보호막(50)과 제 3 층간 절연막(44) 사이에 배치되어 제 2 보호막(50) 형성 시 발생하는 불순물, 예를 들면 수소가 캐패시터의 유전막으로 확산하는 것을 차단하는 제 2블록킹막(48)을 포함한다.

<71> 제 2 블록킹막(48) 및 제 2 보호막(50)은 제 1 블록킹막(40) 및 제 1 보호막(42)과 같이 동일 물질로 구성되며 각각의 기능에 따라 다른 이름을 부여한 것이다. 제 2 블록킹막(48) 및 제 2 보호막(50)은 제 1 블록킹막(40) 및 제 1 보호막(42)과 같이, 금속 산화물로 이루어지며, 특히  $Al_2O_3$ ,  $TiO_2$ ,  $ZrO_2$ ,  $Ta_2O_5$ , 또는  $CeO_2$  로 이루어짐이 바람직하다. 또한, 제 2 블록킹막(48)과 제 2 보호막(50)은 원자층 증착 방법, 저압 또는 상압 화학기상증착 방법 또는 플라즈마 화학기상 증착 방법 등을 사용하여 형성한다. 제 2 블록킹막(48)도 전술한 방법에 의해 증착된 후 열처리를 받은 것을 의미하며, 열처리 방식으로 급속 열처리 방식을 채택하는 것이 바람직하다. 제 2 보호막(50)은 전술한 방법에 의해 증착되고 선택적으로 열처리를 받을 수 있다.

<72> 제 2 블록킹막(48)의 두께와 제 2블록킹막(50)의 열처리 온도 선택 방법은 전술한 제 1 블록킹막(40)의 두께와 열처리 온도 결정 방법과 동일한 방법을 사용한다.

<73> 제 2 캡슐화막(48, 50) 형성 이후에 패시베이션 공정을 실시하여 패시베이션막(52)을 형성한다. 패시베이션막(52)은 실리콘 질화막, 실리콘 산화막, 실리콘 산화질화막 또는 이들의 조합으로 이루어질 수 있다. 패시베이션막(52)은 화학기상증착방법, 물리증착 방법, 원자층 증착방법, 스퍼터링 방법 또는 레이저 용발방법을 사용하여 형성할 수 있으며, 바람직하게는 플라즈마 화학기상증착방법을 이용하는 것이 바람직하다.

- <74> 패시베이션막(52)을 플라즈마 화학기상증착방법을 사용하여 실리콘질화막으로 형성하는 경우를 살펴보면, 반응가스로 사용되는 실란( $\text{SiH}_4$ )과 암모니아 가스( $\text{NH}_3$ )에 의해 수소 가스가 부산물로 파생된다. 이런 수소는 패시베이션막(52)내에 봉입되어 있다가 이후의 열처리 과정에서 서서히 캐패시터의 유전막쪽으로 확산하게 된다. 그러나 본 발명에서는 수소 확산을 제 2 캡슐화막의 제 2 보호막(50)에 의해 차단시킨다. 또한, 제 2 보호막(50) 하부에 형성된 제 2 블로킹막(48)은 제 2 보호막(50) 형성시 발생하는 수소의 확산 뿐만 아니라 패시베이션막(50)내에 봉입되어 있던 수소의 확산도 차단한다.
- <75> 한편, 제 1 캡슐화막의 제 1 블로킹막(40)과 같이, 제 2 블로킹막(48)이 제 2 보호막(50)과 동일한 물질로 구성되므로, 제 2 블로킹막(48) 형성 공정의 복잡화는 초래되지 않는다. 따라서, 패시베이션막(50) 내에 봉입된 수소의 확산은 간단한 공정을 사용하여 형성된 제 2 블로킹막(48)에 의해 보다 효과적으로 차단된다.
- <76> 다음, 도 1b의 반도체 소자의 제조 방법을 도 3a 내지 도 3c를 참조로 설명한다.
- <77> 도 3a를 참조하면, 반도체 기판(210), 소자 분리막(212), 트랜지스터(214, 216, 218, 220 및 222), 제 1 층간 절연막(224), 랜딩 플러그(226), 제 2 층간 절연막(228), 비트 라인 콘택패드(230), 콘택 플러그 (232)를 형성하는 방법은 도 2a에 도시된 반도체 기판(10), 소자 분리막(12), 트랜지스터(14, 16, 18, 20 및 22), 제 1 층간 절연막(24), 랜딩 플러그(26), 제 2 층간 절연막(28), 비트 라인 콘택패드(30) 및 콘택 플러그 (32)를 형성하는 방법과 동일하므로, 설명을 생략한다.
- <78> 콘택 플러그(232)가 형성된 반도체 기판 전면을 예비 세정(precleaning)한다. 이어, 기판 전면에서 형성된 자연산화막을 제거하고 제 2 층간 절연막(228)을 평탄화한다.

<79> 이후에 콘택 플러그(232)를 포함하는 제 2 층간 절연막(228) 전면에는 도전성막 예를 들면 내열성 금속막, 금속 산화물막 또는 이들의 조합막을 도포하여 하부 도전막을 형성하고 패터닝하여 캐패시터의 하부 전극(234)을 형성한다. 하부 전극(234)을 포함하여 제 2 층간 절연막(228) 전면에는 통상적인 방법 예를 들면 화학기상증착법, 물리기상증착법 등과 같은 방법을 사용하여 제 3 층간 절연막(236)을 형성한다. 제 3 층간 절연막(236)은 도 2c의 제 3 층간 절연막(44)과 실질적으로 동일한 물질로 이루어진다. 다음, 층간 절연막(236)내에 캐패시터의 하부 전극(234)을 노출시키는 개구부(238)를 형성한다. 도 3a에는 개구부(238)의 폭이 하부 전극의 폭 보다 작게 도시되었으나, 하부 전극의 폭과 실질적으로 동일하게 형성할 수도 있다.

<80> 다음 원자층 증착 방법 또는 화학기상증착방법 등과 같은 방법을 사용하여 보호용 스페이서(240)를 형성하고 연이어 블록킹용 스페이서(242)를 형성한다. 보호용 스페이서(240)와 블록킹용 스페이서(242)는 동일한 물질로 구성되는 것으로 그 기능에 따라 다른 이름을 부여하였다. 보호용 스페이서(240)는 제 3 층간 절연막(236)에 봉입된 수소가 이후에 형성될 유전막(도 3b의 244)으로 확산하는 것을 방지하는 역할을 하며 블록킹용 스페이서(242)는 보호용 스페이서(240)와 이후에 형성될 유전막 사이에 형성되어 보호용 스페이서(240)의 형성 시에 발생하는 수소가 유전막(도 3b의 244)으로 확산하는 것을 차단하는 역할을 한다.

<81> 보호용 스페이서(240)와 블록킹용 스페이서(242)는 도 2a 내지 도 2c에 나타난 제 1 캡슐화막의 제 1 보호막(42) 및 제 2 캡슐화막의 제 2 보호막(50) 및 제 1 캡슐화막의 제 1 블록킹막(40) 및 제 2 캡슐화막의 제 2 블록킹막(48)과 실질적으로 동일한 물질, 예를 들면 금속 산화물로 구성된다. 특히  $Al_2O_3$ ,  $TiO_2$ ,  $ZrO_2$ ,  $Ta_5O_3$ , 또는  $CeO_2$  로 이루

어짐이 바람직하다.

- <82> 보호용 스페이서(240)의 막질을 안정화시키기 위해 400 내지 600℃ 및 산소 분위기에서 열처리한다. 열처리된 블록킹용 스페이서(242)를 형성한 후 블록킹용 스페이서(242)의 막질 안정화를 위해 400 내지 600℃ 및 산소 분위기에서 열처리한다. 보호용 스페이서(240)의 열처리는 선택적으로 수행할 수 있으나 블록킹용 스페이서(242)의 열처리는 반드시 수행되어야 한다. 그렇지 않으면, 보호용 스페이서(240) 형성 시 발생하는 수소가 추후 형성되는 유전막으로 확산하여 유전막 특성이 열화되기 때문이다.
- <83> 한편, 블록킹용 스페이서(242)가 보호용 스페이서(240)와 동일한 물질로 구성되면 서 보호용 스페이서(240) 형성시 발생하는 수소 확산을 차단하기 위해서는, 블록킹용 스페이서(242)의 두께와 블록킹용 스페이서(242) 형성 이후 열처리 조건을 제어하는 것이 필요하다. 블록킹용 스페이서(242)의 두께 및 열처리 온도를 결정하는 방법은 제 1실시예의 제 1 블록킹막(40) 및 제 2 블록킹막(48)의 두께와 온도 범위를 결정하는 방법과 동일하다.
- <84> 도 3b에서, 개구부(238)는 통상적인 방법 예를 들면 졸겔 방법을 사용하여 캐패시터의 유전막(244)을 형성한다. 다음, 캐패시터의 유전막(244)의 상부에 도전물질을 도포한 뒤 패터닝하여 상부 전극(246)을 형성한다. 도 3b에서 상부 전극(246)의 폭은 보호용 스페이서(240)와 블록킹용 스페이서(242)를 포함한 유전막(244)의 폭보다 작게 형성되어 있으나, 유전막(244)의 폭과 실질적으로 동일하게 형성할 수도 있다.
- <85> 하부 전극(234), 유전막(244) 및 상부 전극(246)으로 구성된 캐패시터를 완성한 후, 캐패시터를 감싸는 제 1 캡슐화막(248, 250)을 결과물 전면에서 형성한다. 제 1 캡슐화막(248, 250)은 캐패시터의 상부 전극(246) 및 제 3층간 절연막(236) 상면에 형성되는

제 1 블록킹막(248)과 제 1 블록킹막(248) 상면에 형성되는 제 1 보호막(250)을 포함한다. 제 1 블록킹막(248)은 제 1 보호막과 동일한 물질로 구성되며 제 1 블록킹막(248) 증착 후 후속 열처리를 받아, 제 1 보호막(250) 형성시 발생하는 수소가 유전막(244)으로 확산하는 것을 차단하는 역할을 한다. 제 1 보호막(250)은 보호막 이후에 형성되는 층간 절연막(도 3c의 252)에 봉입되어 있는 수소의 확산으로부터 유전막(244)을 보호하는 역할을 한다.

<86> 제 1 블록킹막(248) 및 제 1 보호막(250)은 보호용 스페이서(240) 및 블록킹용 스페이서(242)와 동일하게 금속 산화물로 이루어지며, 특히  $Al_2O_3$ ,  $TiO_2$ ,  $ZrO_2$ ,  $Ta_5O_3$ , 또는  $CeO_2$  로 이루어짐이 바람직하다. 또한, 제 1 블록킹막(248) 및 제 1 보호막(250)은 상압화학기상증착방법, 저압화학기상증착방법, 플라즈마화학기상증착 방법, 원자층 증착 방법 등을 이용하여 형성할 수 있다.

<87> 한편, 제 1 블록킹막(248)의 기능을 수행하기 위한 막의 두께와 막의 후속 열처리 조건은 블록킹용 스페이서(242) 및 제 1 실시예의 제 1 블록킹막(40) 및 제 2 블록킹막(48)의 두께 및 열처리 조건을 결정하는 방법과 실질적으로 동일하다.

<88> 이후, 제 1 보호막(250)의 형성 후 막질 특성을 향상시키기 위해 산소 분위기에서 400 내지 600℃로 열처리를 실시할 수 있다. 열처리는 금속 열처리 방식 또는 퍼니스를 이용한 방법을 채용할 수 있다.

<89> 다음, 도 3c에서, 제 1 캡슐화막(248, 250)이 형성된 결과물 전면에서 제 4 층간 절연막(252)을 형성한다. 제 4 층간 절연막(252)은 제 1 내지 제 3층간 절연막(224, 228, 236)과 같이, 실리콘 산화막, 실리콘 질화막, BSG막, BPSG막, TEOS 막, 오존-TEOS막, PE-TEOS막, USG막 또는 이들의 조합으로 구성된 막일 수 있다. 또한, 제 4 층간 절연막

(252)은 제 1 내지 제 3 층간 절연막(224, 228, 236)과 같이 CVD, LPCVD, PECVD 등과 같은 방법으로 형성될 수 있다. 따라서, 도 2c에서 설명한 바와 같이 제 4 층간 절연막(252) 형성 시 수소가 발생되어 제 4 층간 절연막(252) 내에 봉입되어 있다. 이런 수소는 전술한 바와 같이 이후의 열처리 과정에서 서서히 캐패시터의 유전막(244)쪽으로 확산하게 된다. 수소의 확산 경로에는 제 1 보호막(250) 및 제 1 블로킹막(248)으로 이루어지는 제 1 캡슐화막, 제 3 층간 절연막(236), 보호용 스페이서(240) 및 블로킹용 스페이서(242)가 형성되어 있으므로, 제 4 층간 절연막(252) 내에 봉입된 수소가 확산하여 유전막(244)에까지 도달하는 양은 실질적으로 소자 특성을 영향을 주지 못할 정도가 된다. 그러나 공정 조건에 따라서 수소 확산량을 무시할 수 없을 경우가 발생할 수 있더라도 제 1 보호막(250) 및 제 1 블로킹막(248)에 의해 수소 확산이 차단된다.

<90> 그런데, 제 1 블로킹막(248)이 제 1 보호막(250)의 두께에 비해 상대적으로 얇게 형성되고 동일한 물질로 구성되므로, 제 1 블로킹막(248) 추가에 따른 공정 복잡화는 초래되지 않는다. 또한, 블로킹 막(248)이 박막 상태로 형성되고 제 4 층간 절연막(252)과의 선택비가 좋은 물질을 사용할 경우에는 제 1 캡슐화막 형성 이후에 셀 영역과 주변 영역을 분리시키기 위한 사진 식각 공정이 필요하지 않게 되므로, 캐패시터 캡슐화막 형성 이후의 공정이 보다 단순해진다. 그리고 캐패시터의 제 1 캡슐화막 형성 이전에 형성된 반도체 소자의 특성이 이후의 공정으로부터 영향을 덜 받게 된다.

<91> 제 4 층간 절연막(252), 제 1 보호막(250) 및 제 1 블로킹막(248)은 통상의 방법으로 패터닝하여 캐패시터의 상부 전극의 소정 부분을 노출시키는 메탈콘택홀을 형성한다. 여기서 제 1 보호막(250)과 제 1 블로킹막(248)이 동일한 물질로 이루어지므로, 메탈 콘택홀 형성 공정이 단순하게 된다. 제 4 층간 절연막(252) 내의 콘택홀 내부 및 제 4 층간

절연막(252)의 상면 소정 부분에 메탈 콘택(254)을 형성한다. 이후 회복 열처리 공정을 수행할 수도 있다.

<92> 다음, 패시베이션막(260)을 형성하기 이전에 메탈 콘택(254)이 형성된 반도체 기판 전면에 제 2캡슐화막을 형성한다. 제 2 캡슐화막은 제 2블록킹막(256)과 제 2 보호막(258)으로 이루어져 있으며, 이들의 두께, 구성 물질, 형성 조건 및 기능은 제 1 실시예의 제 2 캡슐화막의 제 2 블록킹막(48)과 제 2 보호막(50)의 것과 동일하다.

<93> 제 2 캡슐화막 형성 이후에 제 1 실시예의 패시베이션 공정과 동일한 방법을 사용하여 패시베이션막(260)을 형성한다. 패시베이션막(260) 형성 시에 제 2 실시예에서 설명된 바와 같이 수소 부산물이 발생한다. 수소는 패시베이션막(260)내에 봉입되어 있다가 이후의 열처리 과정에서 서서히 캐패시터의 유전막쪽으로 확산하게 된다. 그러나 본 발명에서는 제 1 실시예와 같이 제 2 캡슐화막의 제 2 보호막(258)에 의해 이런 수소 확산은 차단된다. 또한, 제 2 보호막(258) 하부에 형성된 제 2 블록킹막(256)은 제 2 보호막(258) 형성시 발생하는 수소의 확산 뿐만 아니라 패시베이션막(260)내에 봉입되어 있던 수소의 확산도 차단한다.

<94> 또한, 제 1 캡슐화막의 제 1 블록킹막(248)과 같이, 제 2 블록킹막(256)이 제 2 보호막(258)의 두께에 비해 상대적으로 얇게 형성되고 동일한 물질로 구성되므로, 제 2 블록킹막(256) 형성 공정의 복잡화는 초래되지 않는다. 따라서, 패시베이션막(260) 내에 봉입된 수소의 확산은 간단한 공정을 사용하여 형성된 제 2 블록킹막(256)에 의해 보다 효과적으로 차단된다.

<95> .본 발명의 사상을 보다 잘 이해하기 위해, 도 4a를 참고로 알루미늄 산화막의 두께를 달리하고 반도체 제조 공정을 진행할 경우의 잔류 분극값의 변화를 살펴본다.

<96> 그래프는 기판 온도 300℃, 압력 0.5 Torr에서 원자층 증착 방법을 사용하여 Ir/IrO<sub>2</sub>/PZT(2000 Å)/Pt로 이루어진 캐패시터 상부에 알루미늄 산화막(Al<sub>2</sub>O<sub>3</sub>)을 형성하고, 이를 이용한 캐패시터 유전막의 잔류 분극값을 나타낸다. 세모로 표시된 부분은 약 10 Å의 두께를 가지는 알루미늄 산화막(이하에서 '얇은 알루미늄 산화막'이라 명함)을 나타내고 동그라미로 표시된 부분은 약 100 Å의 두께를 가지는 알루미늄 산화막(이하에서 '두꺼운 알루미늄 산화막'이라 명함)을 나타낸다. 세로축은 잔류 분극값을 나타내고, 가로축은 공정 진행 단계를 나타낸다. '초기'는 하부전극, 유전막 및 상부 전극으로 이루어진 캐패시터가 완성된 단계를 나타내고, '증착'은 소정 두께 약 10 Å(원자층 증착 공정 10회) 과 100 Å(원자층 증착 공정 100회)에 이르는 알루미늄 산화막 상태를 나타낸다. '열처리'는 알루미늄 산화막을 급속 열처리 장비를 이용하여 산소 분위기 및 약 550℃에서 열처리하는 단계를 나타낸다.

<97> '초기'는 두꺼운 산화막과 얇은 산화막이 증착하기 시작하는 단계로 이들의 잔류 분극값은 큰 차이가 없다. 그러나 증착 공정이 진행됨에 따라 두꺼운 산화막 및 얇은 산화막으로 둘러싸인 캐패시터 유전막의 잔류 분극값이 감소함을 알 수 있다. 알루미늄 산화막의 증착 공정에 의해 유전막이 열화되었음을 알 수 있다. 그런데, 두꺼운 알루미늄 산화막을 채용한 캐패시터의 유전막의 잔류 분극값의 감소가 얇은 알루미늄 산화막을 채용한 경우보다 크다. 이후 양막을 동일한 조건에서 열처리하면, '열처리'에 나타난 것과 같이, 얇은 알루미늄 산화막을 채용한 경우에는 잔류 분극값이 상승하여 '초기'상태의 잔류 분극값을 완전히 회복하였음을 알 수 있다. 오히려 '초기'에 비해 잔류 분극값이 높게 나타나는데, 이는 열처리에 의해 캐피시터의 유전막으로 사용되는 PZT가 재결정화되기 때문이라고 보여진다. 반면 두꺼운 알루미늄 산화막을 채용한 경우는 잔류 분극값이 계



속하여 감소함을 알 수 있다. 도시되지 않았으나 50 Å에서도 잔류분극값의 열화 현상이 발생하였다.

- <98> 위의 그래프로부터, 얇은 알루미늄 산화막으로 캐패시터를 둘러싸는 캡슐화막을 형성할 경우에는 알루미늄 산화막 증착 초기에 발생된 유전막의 손상이 후속 열처리에 의해 완전히 회복되었음을 알 수 있다.
- <99> 즉, 두꺼운 알루미늄을 사용하되 그 하부에 얇은 알루미늄을 사용하면 유전막의 열화를 방지할 수 있음을 알 수 있다.
- <100> 도 4b 및 도 4c를 참고로, 반도체 메모리 소자의 유전막의 이력 곡선을 살펴본다. 가로축은 외부 전압을 나타내고 세로축은 분극값을 나타낸다.
- <101> 도 4b는 Ir/IrO<sub>2</sub>/PZT/Pt의 캐패시터를 보호하기 위해 캡슐화막으로 티타늄 산화막과 알루미늄 산화막으로 이루어진 캡슐화막을 형성하고, 층간 절연층 형성 공정 및 알루미늄 배선 공정을 실시한 후, 캐패시터의 유전막의 이력곡선을 보여주는 그래프이다. 티타늄 산화막은 기판온도 약 500℃에서, 압력 8Torr에서 1KW직류 전원을 이용하여 약 1000 Å 증착하였고 알루미늄 산화막은 원자층 증착방법을 이용하여 약 550℃, 산소 분위기에서 100 Å을 증착하였다.
- <102> 도 4c는 본 발명에 따라 2층의 알루미늄 산화막으로 구성된 캡슐화막을 채용

한 반도체 메모리 소자의 유전막의 이력 곡선을 보여주는 그래프이다. Ir/IrO<sub>2</sub>/PZT/Pt 캐패시터와 직접 접촉하는 알루미늄 산화막(얇은 산화막)은 두께가 10Å으로 산소 분위기 및 약 550℃에서 증착되고 급속 열처리된 것이며, 얇은 산화막과 층간 절연막 사이에 형성되는 알루미늄 산화막(두꺼운 산화막)은 두께가 100Å으로 산소 분위기 및 약 550℃에서 증착되고 급속 열처리 방식으로 열처리된 것이다.

<103> 도 4b 및 도 4c의 그래프는 유전막의 이력 특성을 보이고 있어 캡슐화막으로 양자가 사용될 수 있음을 알 수 있다. 도 4b의 잔류 분극값(2Pr)은 67.9( $\mu\text{C}/\text{cm}^2$ )인 반면 도 4c의 잔류 분극값은 84.6( $\mu\text{C}/\text{cm}^2$ )으로, 2층의 알루미늄 산화막을 사용한 경우의 잔류분극값이 훨씬 크므로, 티타늄 산화막과 알루미늄 산화막으로 이루어진 캡슐화막에 비해 본 발명에 따른 2층의 알루미늄 산화막으로 이루어진 캡슐화막의 유전막 열화 방지 효과가 월등함을 알 수 있다.

<104> 또한, 도 4b의 캡슐화막을 사용한 경우와 도 4c의 캡슐화막을 사용한 경우의 캐패시터의 누설 전류를 측정하였다. 도 4b의 캡슐화막을 채용한 경우는 E(-9) 내지 E(-10)A/cm<sup>2</sup> 인 반면 도 4c의 캡슐화막을 채용한 경우는 E(-10) 내지 E(-11)A/cm<sup>2</sup> 로, 본 발명에 따른 2층 알루미늄 산화막을 채용한 반도체 메모리 소자의 특성이 우수함을 알 수 있다.

<105> 다음, 본 발명의 사상에 따라, 동일한 물질로 구성되되 Ir/IrO<sub>2</sub>/PZT/Pt 캐패시터와 직접 접촉하는 부분이 열처리된 다층 캡슐화막의 수소 확산 차단 능력을 도 4d를 참고로 살펴본다.

<106> 그래프의 'Normal'로 표시된 부분은 기판 온도 300℃, 압력 0.5 Torr에서 원자층 증착 방법을 사용하여 캐패시터 상부에 알루미늄 산화막(Al

$2O_3$ )을 100 Å 두께로 형성한 경우를 나타내고, 'PPL'로 표시된 부분은 캐패시터 상부에 약 10Å의 얇은 알루미늄 산화막을 증착하고 열처리한 후 다시 약 100Å의 두꺼운 알루미늄 산화막을 증착한 경우를 나타낸다. 세로축은 캐패시터 유전막 PZT의 잔류 분극값을 나타낸다. 가로축은 공정 진행 단계를 나타내는 것으로 '초기'는 하부전극, 유전막 및 상부 전극으로 이루어진 캐패시터가 완성된 단계를 나타내고, '열처리'는 알루미늄 산화막을 급속 열처리 장비를 이용하여 산소 분위기 및 약 550°C에서 열처리하는 단계를 나타낸다. 마지막의 'PE-TEOS'는 수소 공급 단계로, 본 발명에 따른 캡슐화막의 수소 차단 효과를 설명하기 위한 것이다.

<107> '초기'는 10Å의 얇은 알루미늄 산화막이 형성된 후 또는 얇은 알루미늄 산화막 없이 100Å의 두꺼운 알루미늄 산화막의 증착을 시작하는 단계로 'PPL'과 'Normal'의 잔류 분극값은 큰 차이가 없다. 그러나 증착 공정이 진행됨에 따라, 'PPL'의 경우는 캐패시터 유전막의 잔류 분극값의 감소가 없으나 'Normal'의 경우는 잔류 분극값이 감소함을 알 수 있다. 계속하여 100Å의 알루미늄 산화막을 열처리하면 캐패시터의 유전막의 잔류 분극값은 네모로 표시된 'PPL'에서는 증가하고 세모로 표시된 'Normal'에서는 감소한다. 즉, 10Å의 알루미늄 산화막과 100Å의 알루미늄 산화막으로 이루어진 캡슐화막을 사용한 경우는 유전막의 열화가 없었으나 100Å의 알루미늄 산화막만을 사용하여 캐패시터의 캡슐화막을 형성한 경우는 캐패시터의 유전막의 열화가 발생된다. 한편, 열처리를 실시하지 않을 경우에는 'PPL' 및 'Normal'에 있어 100Å의 알루미늄 산화막 공정 시의 잔류 분극값은 큰 변화가 없다. 이상에서, 'PPL'에서 열처리는 100Å의 유전막의 열화를 방지하는 역할을 하는 반면 'Normal'에서의 열처리는 유전막의 열화를 촉진시킴을 알 수 있다.

<108> 이후, 수소 차단 능력을 살펴보기 위해 캡슐화막 상면에 PE-TEOS를 형성한다. 수소가

공급되더라도 'PPL'의 경우에는 잔류 분극값이 초기에 비해 감소되지 않았으며, 'Normal'한 경우에는 잔류 분극값이 '초기'에 비해 상당히 감소되었음을 알 수 있다. 즉 본 발명에 따른 2층의 알루미늄 산화막으로 이루어진 캡슐화막의 수소 차단능력이 우수함을 알 수 있다.

<109> 한편, PE-TEOS는 층간 절연막으로도 사용될 수 있는 물질이므로, 본 그래프를 이용하여 본 발명의 2층의 알루미늄 산화막이 캡슐화막 형성 이후 층간 절연막 형성 공정에 의해 발생된 수소의 확산을 차단함을 알 수 있다.

#### 【발명의 효과】

<110> 본 발명에서 캐패시터 유전막의 열화는, 캐패시터를 후속 공정에서 발생된 수소의 확산을 방지하는 보호막과 보호막 형성 시 발생하는 수소가 유전막으로 확산하는 것을 차단하는 블록킹막을 보호막과 캐패시터 사이에 배치하되, 보호막과 블록킹막을 동일 물질로 구성한 캡슐화막에 의해 억제된다.

<111> 본 발명의 블록킹막은 박막 상태로 형성되고 보호막과 블록킹막이 동일 물질로 이루어진다. 이때 형성된 블록킹막은 보호막 형성시 발생하는 수소 확산의 차단효과가 우수하며, 블록킹막 형성 공정이 단순하다. 그리고 블록킹막 형성 공정 이후의 셀 영역과 주변 영역을 분리하기 위한 별도의 식각 공정이 필요하지 않게 된다. 또한, 이후의 메탈 콘택 형성 공정 등이 간단하다.

<112> 또한, 본 발명은 얇은 블록킹막을 사용하므로, 블록킹막의 열처리가 400℃ 내지 600℃에서 단시간내에 이루어져서, 캐패시터 하부의 메몰 콘택의 플러그 저항 증가를 억제하면서 반도체 메모리 소자를 형성할 수 있다.

**【특허청구범위】****【청구항 1】**

하부 전극, 상부 전극 및 상기 하부 전극과 상기 상부 전극 사이에 삽입된 유전막을 포함하는 캐패시터 및

상기 캐패시터를 감싸되 동일한 물질로 구성되되 열처리된 제 1 블록킹막과 상기 열처리된 제 1 블록킹막 상에 형성되는 제 1 보호막을 포함하는 다중 캡슐화막을 포함하는 반도체 메모리 소자.

**【청구항 2】**

제 1 항에 있어서, 상기 제 1 블록킹막은 상기 제 1 보호막의 형성 시 발생하는 수소의 확산을 차단할 두께를 가지는 반도체 메모리 소자.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서, 상기 제 1 블록킹막은 금속 산화막인 반도체 메모리 소자.

**【청구항 4】**

제 3항에 있어서, 상기 금속 산화막은  $Al_2O_3$ ,  $TiO_2$ ,  $ZrO_2$ ,  $Ta_2O_5$  및  $CeO_2$  로 구성된 군에서 선택된 어느 하나인 반도체 메모리 소자.

**【청구항 5】**

제 1항에 있어서, 상기 제 1블록킹막의 두께는 상기 제 1 보호막의 두께의 10% 내지 50%인 반도체 메모리 소자.

**【청구항 6】**

제 5항에 있어서, 상기 제 1 블록킹막은  $\text{Al}_2\text{O}_3$ 인 반도체 메모리 소자.

**【청구항 7】**

제 6항에 있어서, 상기 제 1 블록킹막의 두께는 10 내지 15Å이며, 상기 제 1 보호막의 두께는 약 100Å인 반도체 메모리 소자.

**【청구항 8】**

제 1 항에 있어서, 상기 제 1 블록킹막 및 상기 제 1 보호막은 원자층 증착 방법, 저압 화학기상증착방법 상압화학기상증착방법 또는 플라즈마 화학기상증착방법에 의해 형성되는 반도체 메모리소자.

**【청구항 9】**

제 1항에 있어서, 상기 제 1 보호막 상면에 형성된 층간 절연막 및 동일 물질로 이루어지되 열처리된 제 2 블록킹막과 상기 제 2 블록킹막 상에 형성된 제 2 보호막을 포함하되 상기 층간 절연막 상에 형성되는 제 2 캡슐화막을 더 포함하는 반도체 메모리 소자.

**【청구항 10】**

제 9항에 있어서, 상기 제 2 블록킹막은 상기 제 2보호막의 형성 시 발생하는 수소의 확산을 차단할 두께를 가지는 반도체 메모리 소자.

**【청구항 11】**

제 9 항 또는 제 10 항에 있어서, 상기 제 2 블록킹막은 금속 산화막인 반도체 메모리 소자.

**【청구항 12】**

제 11항에 있어서, 상기 금속 산화막은  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_5\text{O}_3$  및  $\text{CeO}_2$  로 구성된 군에서 선택된 어느 하나인 반도체 메모리 소자.

**【청구항 13】**

하부 전극,

상기 하부 전극의 상의 소정 부분에 형성된 유전막,

상기 하부 전극 상에 형성되되 상기 유전막의 측면과 접촉하는 블록킹용 스페이서와 상기 블록킹용 스페이서의 측면에 형성되는 보호용 스페이서를 포함하는 스페이서층,

상기 하부전극 상에 형성되되 상기 보호용 스페이서와 접촉하는 층간절연막,

상기 유전막의 상부에 형성된 상부 전극, 및

상기 층간 절연막, 상기 스페이서 층 및 상기 상부 전극을 감싸되 동일한 물질로 구성되되 열처리된 제 1 블록킹막과 상기 열처리된 제 1 블록킹막 상에 형성되는 제 1 보호막을 포함하는 다중 캡슐화막을 포함하는 반도체 메모리 소자.

**【청구항 14】**

제 13항에 있어서, 상기 제 1 블록킹막은 상기 제 1보호막의 형성 시 발생하는 수소의 확산을 차단할 두께를 가지는 반도체 메모리 소자.

**【청구항 15】**

제 13 항 또는 제 14 항에 있어서, 상기 제 1 블록킹막은 금속 산화막인 반도체 메모리 소자.

**【청구항 16】**

제 15항에 있어서, 상기 금속 산화막은  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_2\text{O}_5$  및  $\text{CeO}_2$  로 구성된 군에서 선택된 어느 하나인 반도체 메모리 소자.

**【청구항 17】**

제 14항에 있어서, 상기 제 1 블록킹막은  $\text{Al}_2\text{O}_3$ 인 반도체 메모리 소자.

**【청구항 18】**

제 17항에 있어서, 상기 제 1 블록킹막의 두께는 10 내지  $15\text{\AA}$ 이며, 상기 제 1 보호막의 두께는 약  $100\text{\AA}$ 인 반도체 메모리 소자.

**【청구항 19】**

제 13 항에 있어서, 상기 제 1 블록킹막 및 상기 제 1 보호막은 원자층 증착 방법, 저압화학기상증착방법, 상압화학기상증착방법 또는 플라즈마 화학기상증착방법에 의해 형성되는 반도체 메모리소자.

**【청구항 20】**

제 13항에 있어서, 상기 제 1 보호막 상면에 형성된 제 2층간 절연막 및 동일 물질로 이루어지되 열처리된 제 2 블록킹막과 상기 제 2 블록킹막 상에 형성된 제 2 보호막을 포함하되 상기 제 2층간 절연막 상에 형성되는 제 2 캡슐화막을 더 포함하는 반도체 메모리 소자.

**【청구항 21】**

제 20항에 있어서, 상기 제 2 블록킹막은 상기 제 2보호막의 형성 시 발생하는 수소의 확산을 차단할 두께를 가지는 반도체 메모리 소자.



**【청구항 22】**

제 20 항 또는 제 21 항에 있어서, 상기 제 2 블록킹막은 금속 산화막인 반도체 메모리 소자.

**【청구항 23】**

제 22항에 있어서, 상기 금속 산화막은  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_5\text{O}_3$  및  $\text{CeO}_2$  로 구성된 군에서 선택된 어느 하나인 반도체 메모리 소자.

**【청구항 24】**

제 13항에 있어서, 상기 블록킹용 스페이서는 상기 보호용 스페이서 형성 시 발생하는 수소의 확산을 차단할 두께를 가지는 반도체 메모리 소자.

**【청구항 25】**

제 13 항 또는 제 24 항에 있어서, 상기 블록킹용 스페이서는 금속 산화막인 반도체 메모리 소자.

**【청구항 26】**

제 25항에 있어서, 상기 금속 산화막은  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_5\text{O}_3$  및  $\text{CeO}_2$  로 구성된 군에서 선택된 어느 하나인 반도체 메모리 소자.

**【청구항 27】**

반도체 기판 상에 하부 전극, 상부 전극 및 상기 하부 전극과 상기 상부 전극 사이에 삽입된 유전막을 포함하는 캐패시터를 형성하는 단계 및

동일한 물질로 구성되되 열처리된 제 1 블록킹막과 상기 제 1 블록킹막 상에 형성되는

제 1보호막을 포함하는 다중 캡슐화막을 상기 캐패시터를 감싸도록 형성하는 단계를 포함하는 반도체 메모리 소자의 제조 방법.

【청구항 28】

제 27항에 있어서, 상기 캡슐화막 형성 단계에서, 상기 제 1 블록킹막은 상기 제 1보호막 형성 시 발생하는 수소의 확산을 차단할 두께를 가지도록 형성되는 반도체 메모리 소자의 제조 방법.

【청구항 29】

제 27항에 있어서, 상기 제 1 블록킹막과 상기 제 1보호막은 원자층 증착 방법, 저압 화학기상증착 방법, 상압 화학기상증착방법, 플라즈마 화학기상증착방법 또는 화학기상증착법에 의해 형성되는 반도체 소자의 제조 방법.

【청구항 30】

제 27 항에 있어서, 상기 제 1 블록킹막은 금속 산화막인 반도체 메모리 소자의 제조 방법.

【청구항 31】

제 30항에 있어서, 상기 금속 산화막은  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_5\text{O}_3$  및  $\text{CeO}_2$  로 구성된 군에서 선택된 어느 하나인 반도체 메모리 소자의 제조 방법.

【청구항 32】

제 27항에 있어서, 상기 캡슐화막 형성단계에서, 상기 제 1블록킹막의 두께는 상기 제 1보호막의 두께의 10% 내지 50%인 반도체 메모리 소자의 제조 방법.

**【청구항 33】**

제 32항에 있어서, 상기 제 1 블록킹막은  $Al_2O_3$ 인 반도체 메모리 소자의 제조 방법.

**【청구항 34】**

제 33항에 있어서, 상기 제 1 블록킹막의 두께는 10 내지 15Å이며, 상기 제 1보호막의 두께는 약 100Å인 반도체 메모리 소자의 제조 방법.

**【청구항 35】**

제 27항에 있어서, 상기 캡슐화막 형성 단계에서 상기 제 1보호막을 형성한 후, 상기 제 1보호막을 열처리하는 단계를 더 구비하는 반도체 메모리 소자의 제조 방법.

**【청구항 36】**

제 27항에 있어서, 상기 캡슐화막 형성 단계 후, 상기 캡슐화막 상면에 층간 절연막을 형성하는 단계, 상기 층간 절연막 상에 동일한 물질로 구성되되 열처리된 제 2블록킹막과 상기 제 2블록킹막 상에 형성되는 제 2보호막을 포함하는 제 2 다중 캡슐화막을 형성 단계를 더 포함하는 반도체 메모리 소자의 제조 방법.

**【청구항 37】**

제 36항에 있어서, 상기 제 2 캡슐화막 형성 단계에서, 상기 제 2블록킹막은 상기 제 2 보호막 형성 시 발생하는 수소의 확산을 차단할 두께를 가지도록 형성되는 반도체 메모리 소자의 제조 방법.

**【청구항 38】**

제 36 항에 있어서, 상기 제 2블록킹막은 금속 산화막인 반도체 메모리 소자의 제조 방법.

**【청구항 39】**

제 38항에 있어서, 상기 금속 산화막은  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_5\text{O}_3$  및  $\text{CeO}_2$  로 구성된 군에서 선택된 어느 하나인 반도체 메모리 소자의 제조 방법.

**【청구항 40】**

제 36항에 있어서, 상기 제 2블록킹막과 상기 제 2 보호막은 원자층 증착 방법, 저압 화학기상증착방법, 상압 화학기상증착방법 또는 플라즈마 화학기상증착방법에 의해 형성되는 반도체 소자의 제조 방법.

**【청구항 41】**

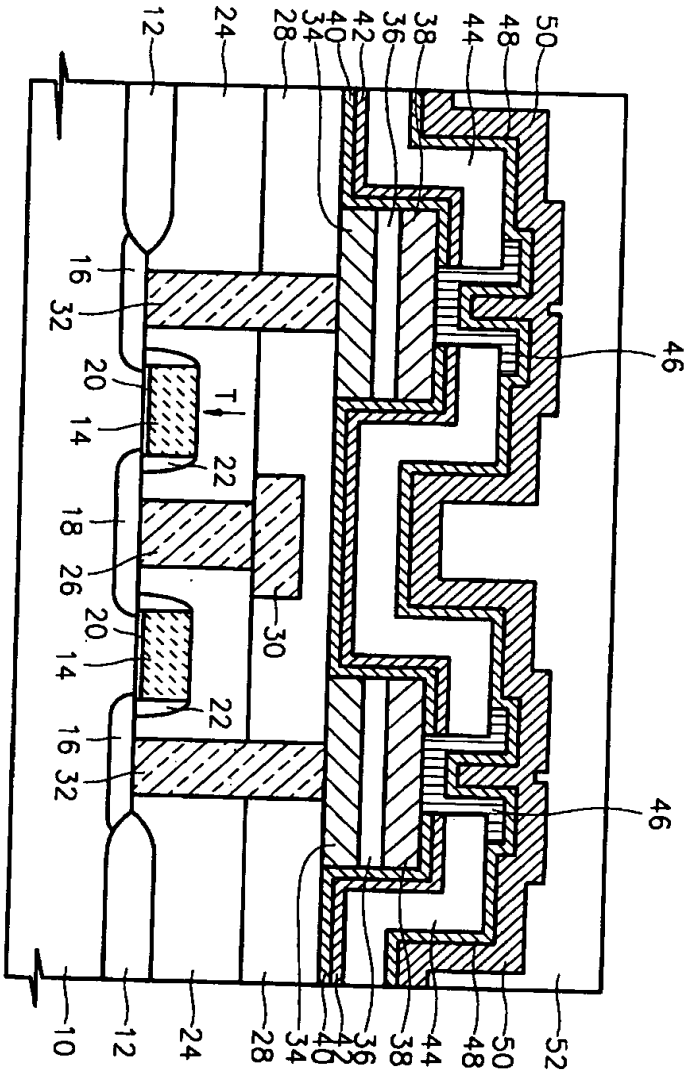
제 37항에 있어서, 상기 제 2다중 캡슐화막의 상기 제 2보호막 형성 단계 후, 상기 제 2 보호막을 열처리하는 단계를 더 구비하는 반도체 메모리 소자의 제조 방법.

**【청구항 42】**

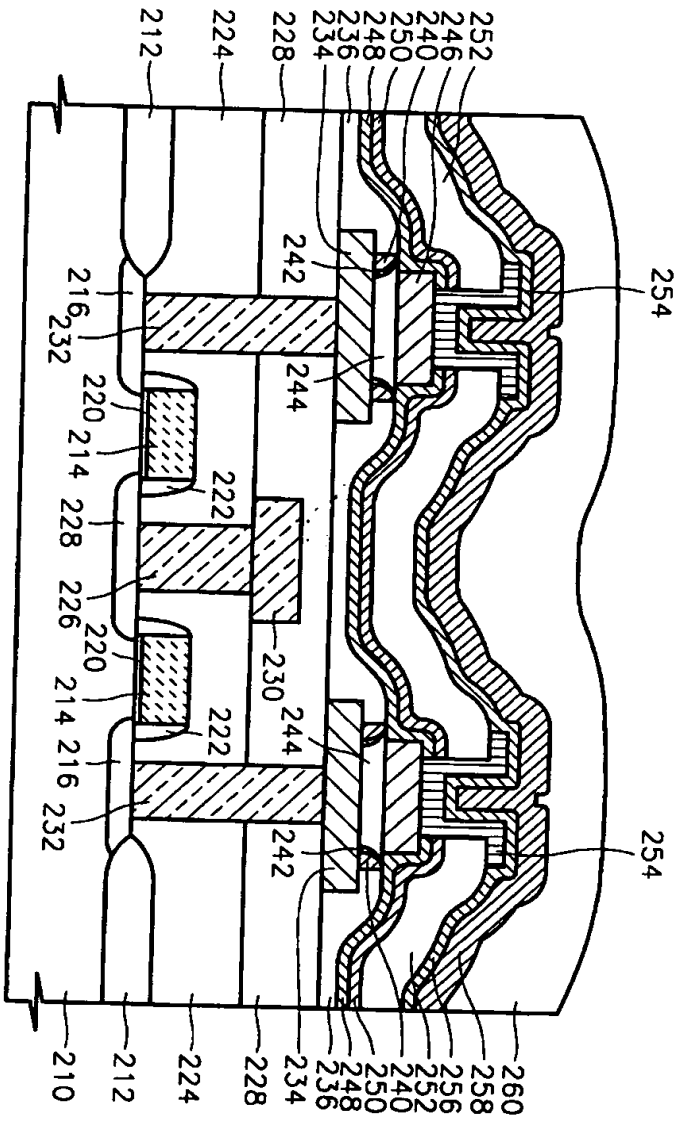
제 27항에 있어서, 상기 캐패시터의 형성 단계는, 상기 반도체 기판 상에 상기 하부 전극을 형성하는 단계, 상기 하부 전극의 소정 부분을 노출시키는 콘택홀을 구비한 층간 절연막을 상기 반도체 기판 전면에서 형성하는 단계, 상기 콘택홀의 측벽에 동일 물질로 이루어지되 열처리된 블록킹용 스페이서를 포함하는 스페이서층을 형성하는 단계, 상기 스페이서층에 의해 한정된 상기 콘택홀 내부를 유전물로 채워 상기 유전막을 형성하는 단계 및 상기 유전막의 상부에 상부 전극을 형성하는 단계를 포함하는 반도체 메모리 소자의 제조 방법.

【도면】

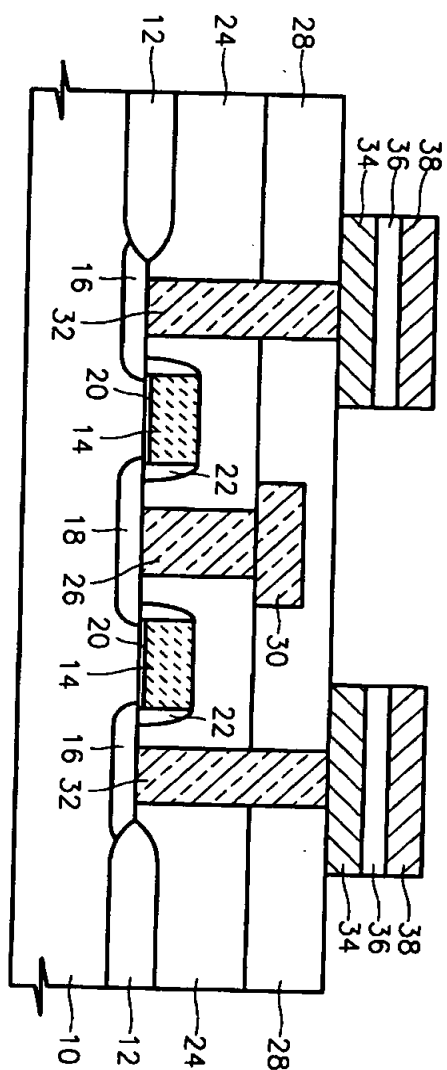
【도 1a】



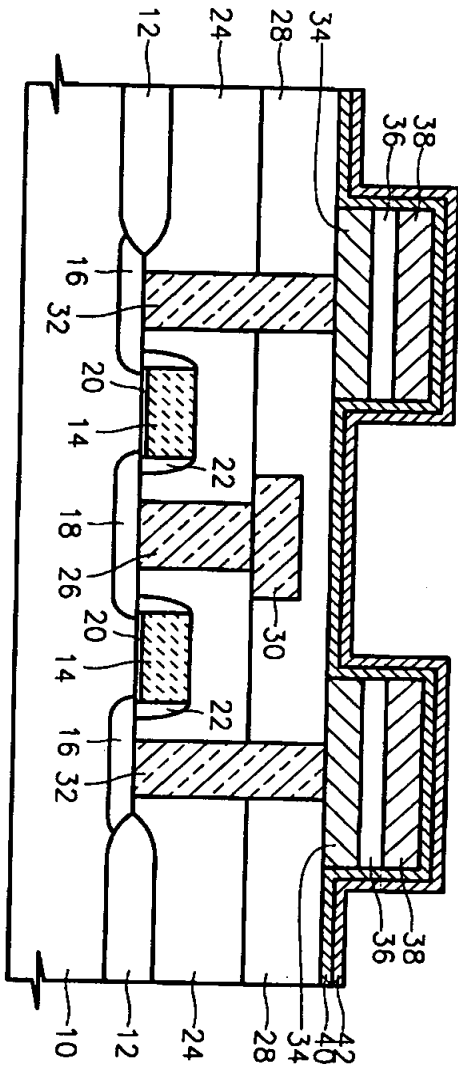
【図 1b】



【図 2a】

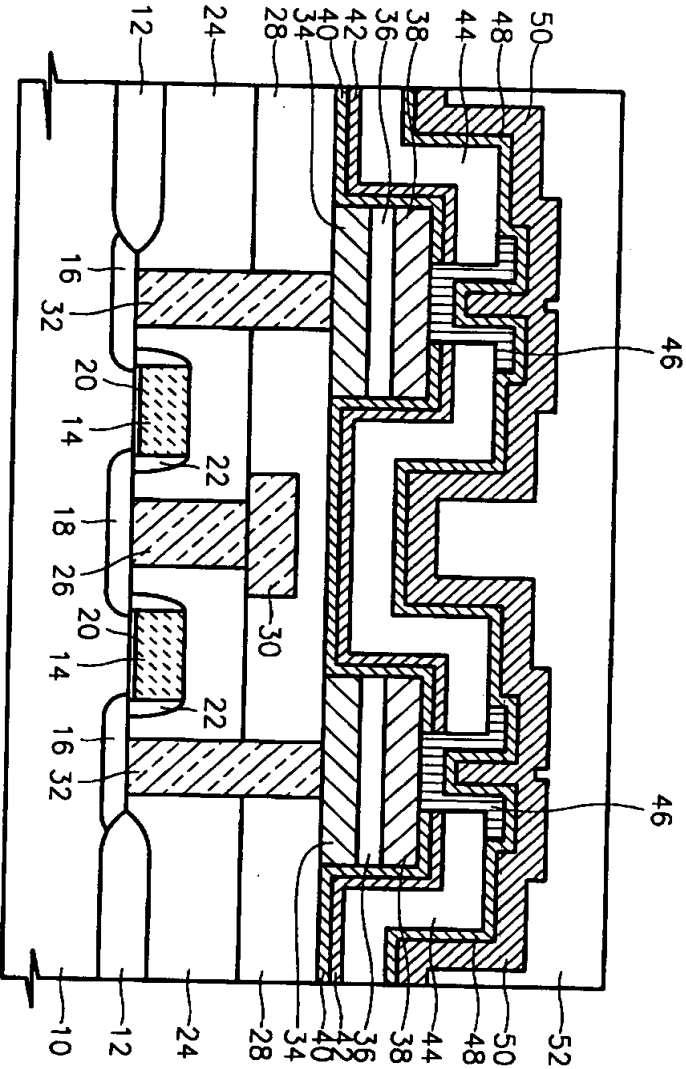


【도 2b】

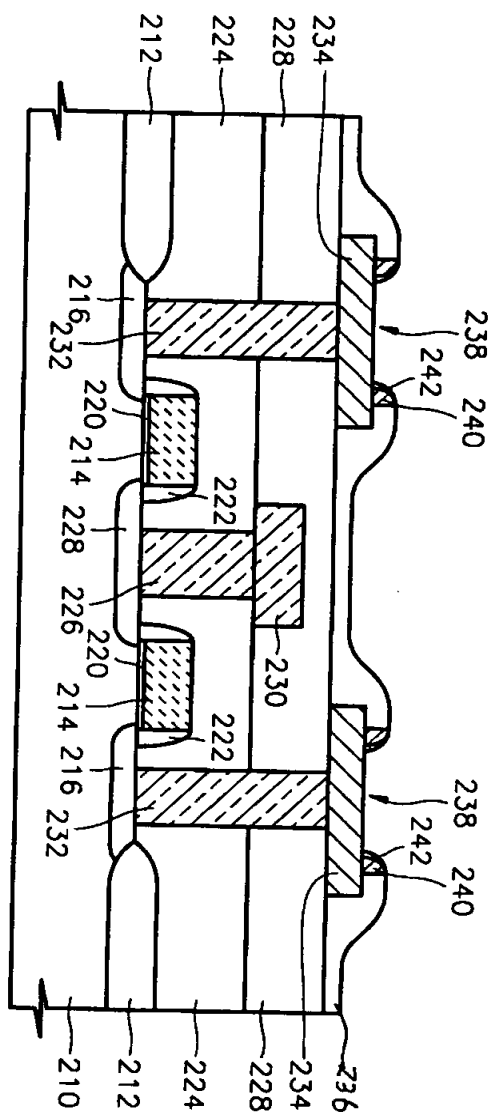




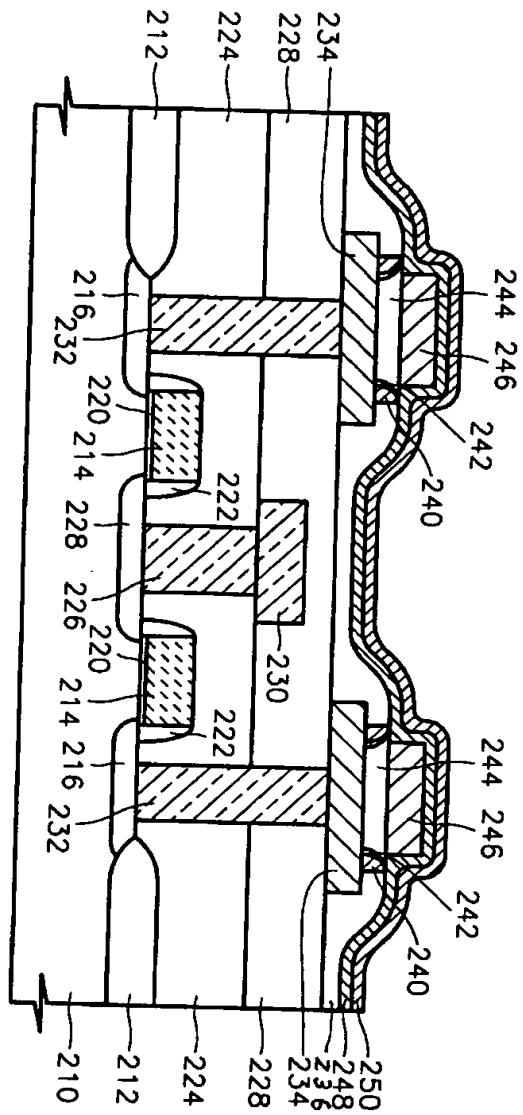
【図 2c】



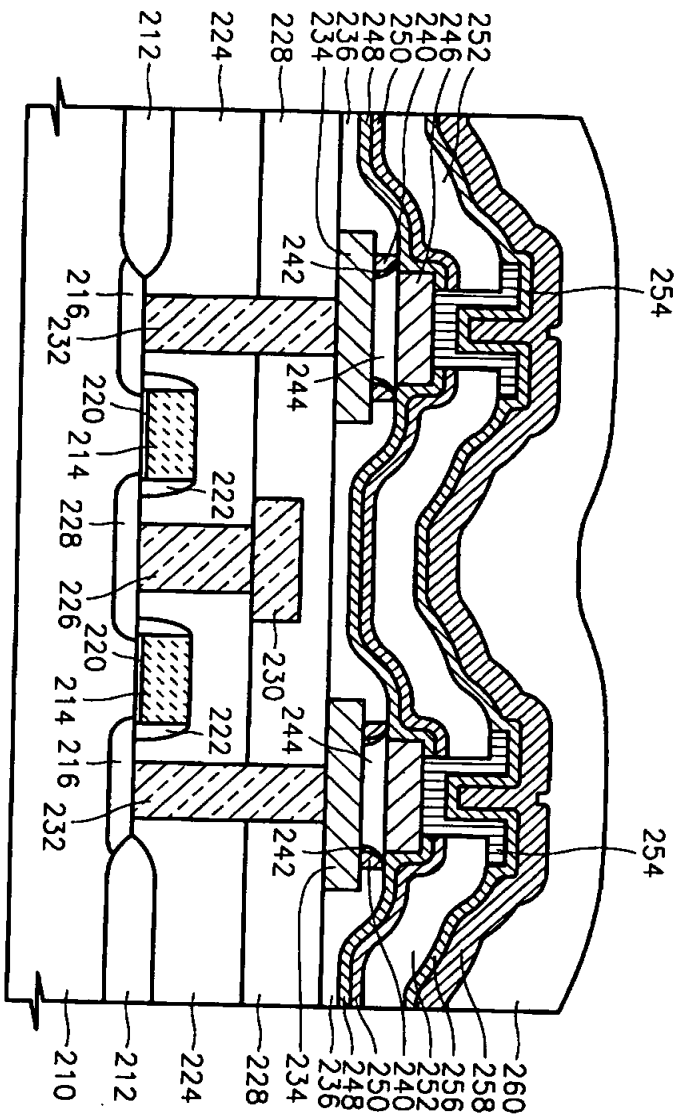
【도 3a】



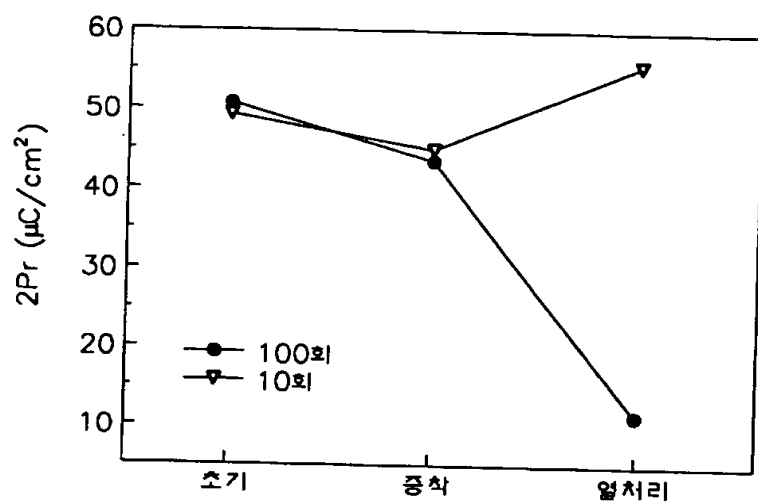
【図 3b】



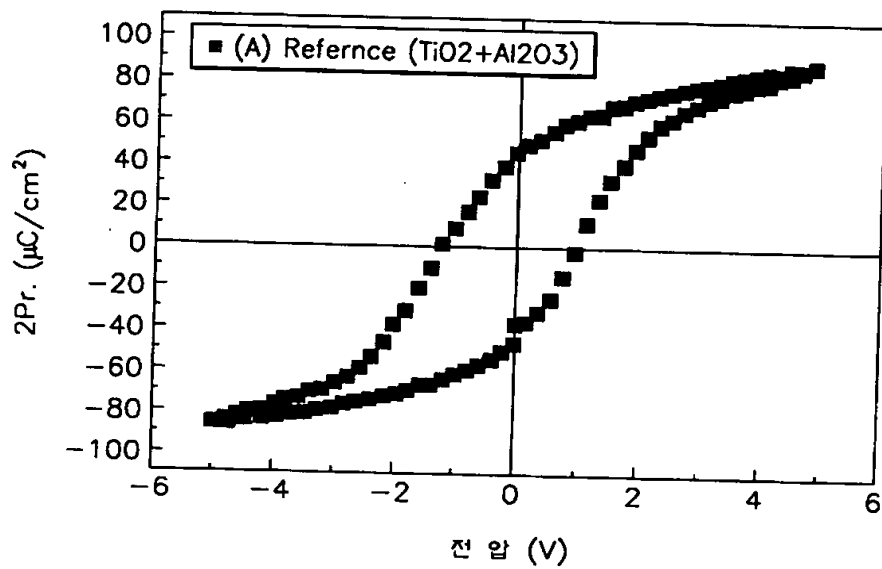
【図 3c】



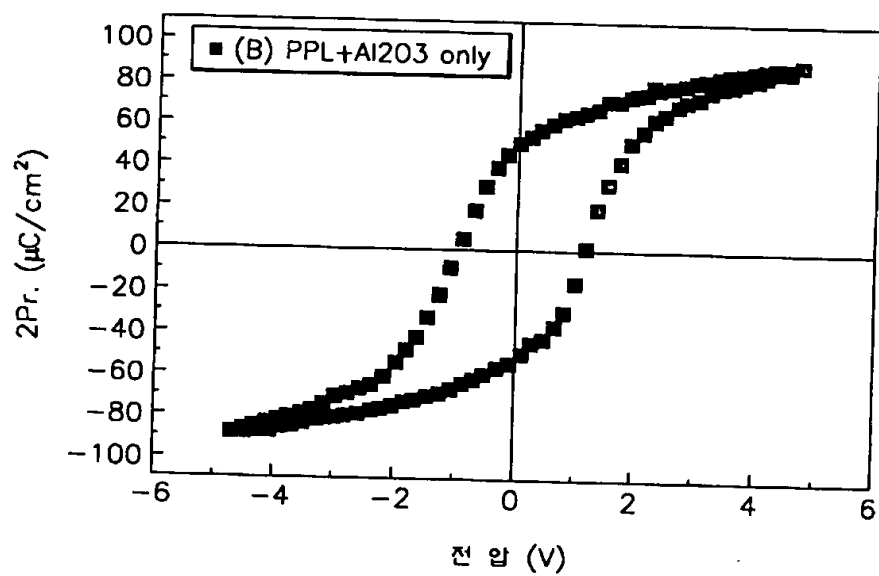
【도 4a】



【도 4b】



【도 4c】



【도 4d】

